

修士論文

KamLAND2 実験に向けた
新型フロントエンド回路の研究開発
Development of New Front-End Electronics for KamLAND2

東北大学理学研究科
物理学専攻

中村 公亮

令和二年

概要

ニュートリノ振動やニュートリノのマヨラナ性の検証において KamLAND は大きな成果をあげており、現在は ^{136}Xe を約 800 kg 使用したニュートリノを放出しない二重ベータ崩壊探索である KamLAND-Zen 800 実験がおこなわれている。また、さらなる高感度化を目指して KamLAND を改良する KamLAND2 実験へと向けた技術開発も進んでいる。KamLAND では二系統のデータ収集システムを長年使用しているが、そのどちらのフロントエンド回路も老朽化による故障と修理部品の生産終了に悩まされている。そこで、KamLAND2 実験での運用と KamLAND-Zen 800 実験への段階的な導入を目指して新しいフロントエンド回路と「ソフトウェアトリガー」を使った新しいデータ収集システムの開発が進められている。本研究ではファームウェアを中心として新型フロントエンド回路を開発した。ファームウェアは将来の機能増強を見据え、拡張性と柔軟性を重視した設計とし、シミュレーションと市販の評価用ボードによる実機テストを組み合わせながら開発をおこなった。このファームウェアを新型フロントエンド回路の試作機に実装し、現行データ収集システムと新型データ収集システムからの要請である「通常時における全ての 1 光電子以上の信号波形データの取得・転送」・「ミューオン信号後 10 μsec 以上の波形データの連続取得」・「近傍超新星爆発時のロスのないデータ取得」を満たすことが確認できた。また、デジタル信号処理によるベースライン補正機能も実装し、その効果を実証することができた。

目次

第 1 章	序論	1
第 2 章	ニュートリノ物理学	3
2.1	標準模型におけるニュートリノの基本的な性質	3
2.2	ニュートリノ振動と質量階層構造	4
2.2.1	ニュートリノ振動	4
2.2.2	ニュートリノの質量階層構造	6
2.3	マヨラナニュートリノ	7
2.3.1	ディラック質量項	7
2.3.2	マヨラナ質量項	8
2.3.3	シーソー機構とレプトジェネシス	10
2.4	ニュートリノのマヨラナ性の検証実験	11
2.4.1	ニュートリノを伴わない二重ベータ崩壊 ($0\nu\beta\beta$ 崩壊)	11
2.4.2	$0\nu\beta\beta$ 崩壊探索実験	13
第 3 章	KamLAND 実験	15
3.1	KamLAND 実験	15
3.1.1	検出器の構造	16
3.1.2	ニュートリノの検出原理	18
3.1.3	キャリブレーション	19
3.1.4	KamLAND 実験の成果	20
3.2	KamLAND-Zen 実験	21
3.2.1	KamLAND-Zen 400	21
3.2.2	KamLAND-Zen 800	22
3.2.3	KamLAND-Zen 実験における主な背景事象	23
3.3	KamLAND2 実験	24
第 4 章	データ収集システム	27
4.1	信号波形の特性	27
4.1.1	1p.e. 信号	27
4.1.2	ミューオン信号	28
4.2	KamLAND のデータ取得システム	28
4.2.1	KamDAQ	29
4.2.2	KamFEE のミューオン信号後のデッドタイム問題	30

4.2.3	MoGURA DAQ	32
4.3	KamLAND2 実験におけるデータ取得システム	36
第 5 章	新型フロントエンド回路開発	39
5.1	新型フロントエンド回路への要請	39
5.1.1	RFSoc を使った新型フロントエンド回路	40
5.1.2	データ取得の目標性能	41
5.1.3	アナログ回路の目標性能	41
5.2	新型フロントエンド回路の仕様	43
5.2.1	アナログ信号処理部	43
5.2.2	デジタル処理部	45
5.2.3	データ通信用インターフェース	47
5.2.4	電源部	47
5.2.5	その他	48
第 6 章	ファームウェア開発	51
6.1	ロジック設計	51
6.1.1	AMBA® AXI4 プロトコル	52
6.1.2	データ取得のプロセスに関する考察	52
6.1.3	プロセスごとの機能に関する考察	53
6.1.4	ロジックデザインの概要	54
6.1.5	クロックドメイン	55
6.1.6	Hardware Trigger の概要	55
6.1.7	ステートマシン	56
6.2	ロジック開発	57
6.2.1	トリガー部	58
6.2.2	バッファ部	66
6.2.3	データ転送部	68
6.3	評価用ボードによるシステム検証	69
6.3.1	データ取得の動作確認	70
6.3.2	トリガーの動作確認	72
6.3.3	ゲイン切り替え機能の確認	72
6.3.4	評価用ボードを使用したシステム検証のまとめ	73
第 7 章	新型フロントエンド回路の性能評価	75
7.1	現時点でのアナログ回路特性の評価	75
7.1.1	周波数特性	75
7.1.2	無信号時の RMS 値の評価	76
7.2	現時点でのデータ取得性能の評価	76
7.2.1	ヒットレート耐性	77
7.2.2	連続データ取得性能	79
7.3	その他機能評価	81
7.3.1	PMT 信号の取得とベースライン補正効果の確認	81

7.3.2	ベースライン設定用 DAC の動作確認	82
7.3.3	消費電力	83
第 8 章	結論と課題	85
8.1	現段階における新型フロントエンド回路の性能	85
8.1.1	アナログ回路性能	85
8.1.2	データ取得性能	86
8.1.3	その他動作確認について	87
8.2	今後の開発計画	87
8.2.1	アナログ系	87
付録		89
A	AMBA® AXI4 プロトコルの仕様	89
A.1	AXI4 および AXI4-Lite のチャンネル	89
A.2	AXI4-Stream の信号	90
B	評価用ボードによる RF-DAC の動作確認	90
C	ロジックのポート解説	91
C.1	トリガー部	92
C.2	バッファ部	96
C.3	データ転送部 (デバッグ用)	99
D	ロジック内のクロック系統およびリセット系統	102
謝辞		105

目次

1.1	新型フロントエンド回路の構成	2
2.1	標準模型の素粒子とその質量	3
2.2	ニュートリノの有効マヨラナ質量と最も軽いニュートリノの質量の関係	7
2.3	質量数 $A = 136$ の Mass excess と陽子数 Z の関係	12
2.4	$0\nu\beta\beta$ 崩壊の概念図	13
3.1	観測された反電子ニュートリノの生存確率	15
3.2	KamLAND の位置	16
3.3	PMT の内部構造	17
3.4	KamLAND の構造	18
3.5	逆ベータ崩壊による反電子ニュートリノの検出	19
3.6	KamLAND 実験によるニュートリノ振動パラメータ領域の特定	21
3.7	KamLAND-Zen 実験に伴い導入されたインナーバルーンとその詳細	22
3.8	ニュートリノの有効マヨラナ質量と最も軽いニュートリノの質量の関係に関する KamLAND-Zen400 による結果	23
3.9	エネルギー分解能の向上による KamLAND2-Zen での到達感度目標	25
4.1	典型的な 1 p.e. 信号	27
4.2	平均化した 1 p.e. 信号の周波数成分	28
4.3	典型的なミューオン信号	28
4.4	KamLAND の DAQ システム	29
4.5	KamFEE ボード	30
4.6	KamDAQ のトリガ回路とその動作模式図	30
4.7	KamDAQ における DAQ コンピュータネットワーク	31
4.8	ミューオン信号のオーバーシュートとアフターパルス	31
4.9	17-inch PMT のブリーダー回路	32
4.10	BLR 回路の有無によるオーバーシュートの違い	33
4.11	MoGURA ボード	34
4.12	MoGURA Trigger ボード	35
4.13	ミューオン信号後の NHit 分布	36
4.14	新型 DAQ システムの構成図	37
5.1	KamLAND における近傍超新星イベント時の累積イベント数	42

5.2	現行のブリーダー回路と改良版のブリーダー回路によるオーバーシュートの比較	43
5.3	新型フロントエンド回路のレイアウト図	44
5.4	アナログ部のブロックダイアグラム	45
5.5	プロトタイプボードのデータ通信用のインターフェース群	47
5.6	プロトタイプボード上に取り付けられたデバッグコネクタ	48
5.7	クロック系統図	49
6.1	ロジック全体のデザイン	54
6.2	Hardware Trigger ブロックの詳細	56
6.3	ロジックの状態遷移図	57
6.4	ロジック開発フロー	58
6.5	実装したベースライン補正のアルゴリズム	59
6.6	DSP ブロックのシミュレーション結果	60
6.7	トリガーブロックの構成と入出力信号	60
6.8	トリガー判定のアルゴリズム	62
6.9	トリガーブロックのシミュレーション結果	62
6.10	トリガーブロックの結合検証用のデザイン	62
6.11	トリガーブロックの結合テストの結果の一例	63
6.12	データフレーム生成ブロックの構成と入出力信号	63
6.13	データフォーマット	64
6.14	データフレーム生成ブロックのバッファ部との結合機能検証	66
6.15	ZCU111 評価用ボード	69
6.16	FEA ボード	70
6.17	評価用ボードによるデータ取得動作確認のセットアップ	70
6.18	ZCU111 による単一チャンネル連続データ取得	71
6.19	ZCU111 による全チャンネル連続データ取得	71
6.21	ゲイン切り替え機能確認時のセットアップ	72
6.20	トリガーによるデータ取得の結果	72
6.22	ゲイン切り替えの確認結果	73
7.1	新型フロントエンド回路のプロトタイプボード	75
7.2	周波数特性の測定結果	76
7.3	図 7.2 中のフィッティング例	77
7.4	プロトタイプボードの全チャンネルの RMS 値	78
7.5	ヒットレートごとのデータ取得率の測定結果	79
7.6	内部バッファ FULL までの時間の計測結果	79
7.7	連続データ取得の結果	80
7.8	PMT 信号取得のセットアップ	81
7.9	取得した PMT 信号	82
7.10	ベースライン設定 DAC の動作確認	82
A.1	基本となるハンドシェイク	89
B.2	RF-DAC のレイテンシ測定のセットアップ	90

B.3	RF-ADC への入力波形と RF-DAC 出力波形	91
C.4	DSP ブロック	93
C.5	トリガブロック	94
C.6	Trigger selector ブロック	95
C.7	データフレーム生成ブロックとパス幅変換ブロック	96
C.8	マージとメモリコントローラ	97
C.9	メモリに使用しているブロック	99
C.10	データ転送部 (デバッグ用) のブロック	99
C.11	トリガ設定用ブロック	101
D.12	評価時のクロック系統	102
D.13	実運用時のクロック系統	102
D.14	ロジック内のリセット系統	103

表目次

2.1	現在知られているニュートリノ振動のパラメータ	6
2.2	$0\nu\beta\beta$ 探索に利用される主な原子核と結果	14
5.1	ZU29DR の ADC および DAC の仕様	40
5.2	MoGURA の各ゲインチャンネルの仕様	42
5.3	各ゲインチャンネルの仕様	44
5.4	オペアンプの主な仕様	45
5.5	ZU29DR および MoGURA の FPGA の仕様	45
5.6	ZU29DR の CPU の仕様	46
5.7	搭載する DDR4 メモリの仕様	46
5.8	各電源系統の目標消費電力	47
6.1	開発環境	51
6.2	トリガブロックの設定パラメータ	61
6.3	ZCU111 の詳細	69
6.4	FEA ボードの仕様	70
7.1	各電源系統ごとの消費電力の実測値	83
A.1	AXI4 プロトコルのチャンネル一覧	90
A.2	AXI4-Stream の信号	90
C.3	RFSoc RF Data Converter ブロックの主要ポート	92
C.4	DSP ブロックのポート	93
C.5	トリガブロックのポート	94
C.6	Trigger selector のポート	95
C.7	データフレーム生成ブロック (async_dataframe_generator) のポート	96
C.8	AXI4Stream バス幅変換用ブロック (AXI4-Stream Data Width Converter) のポート	96
C.9	AXI4-Stream Interconnect (マージ) のポート	98
C.10	async_pl_ddr_mmu (メモリコントローラ) のポート	98
C.11	AXI4Stream バス幅変換用ブロック (AXI4-Stream Data Width Converter) のポート	98
C.12	axi_dma_connector ブロックのポート	99
C.13	AXI DMA のポート	100
C.14	トリガ設定用ブロックのレジスタ	100
C.15	トリガ設定用ブロックのポート	101

第 1 章

序論

標準理論は現代素粒子物理学においてもっとも成功した理論であるといえる。標準理論を構成する素粒子をまとめたものを標準模型というが、その中でニュートリノの質量はゼロだと考えられてきた。しかし、スーパーカミオカンデや KamLAND 実験によってニュートリノ振動という現象が発見され、ニュートリノの質量はゼロではないことが明らかになった。そこで、ニュートリノの質量や三世代のニュートリノ質量の大小関係を明らかにするために、ニュートリノ振動の精密測定実験がおこなわれている。また、ニュートリノの質量起源がディラック質量によるものか、マヨラナ質量によるものかということも重要な問題である。マヨラナ質量とは、素粒子がマヨラナ性を持つマヨラナ粒子である場合に、ディラック質量とは異なる機構により獲得できる質量である。マヨラナ性とは、粒子と反粒子が同一であるという性質であり、必要条件として電荷がゼロの粒子であることが求められる。現在発見されているフェルミ粒子の中で、ニュートリノは唯一電荷を持たない粒子であり、ニュートリノがマヨラナ粒子である可能性がある。ニュートリノのマヨラナ性を検証する唯一といえる方法が、ニュートリノを放出しない二重ベータ崩壊 ($0\nu\beta\beta$ 崩壊) の探索である。KamLAND は $0\nu\beta\beta$ 崩壊探索において大きな成果を上げており、2016 年には約 400 kg の ^{136}Xe を用いた KamLAND-Zen 400 実験において、 ^{136}Xe の $0\nu\beta\beta$ 崩壊の半減期に $T_{1/2}^{0\nu} > 10.7 \times 10^{25}$ year という制限¹ を与えている。現在、KamLAND では ^{136}Xe を倍増させた KamLAND-Zen 800 実験が進行中であり、解析が進められている。また、さらなる高感度化を目指し、KamLAND を改良する KamLAND2 実験への技術開発も同時に進められている。

以上のように重要な成果をあげてきた KamLAND であるが、現在、データ取得システム (以下、DAQ システム) の要であるフロントエンド回路の故障が長年の稼働により相次いでいる。両フロントエンド回路の主要部品は生産終了になっているため、修理をしつつこれらのフロントエンド回路を使用することに限界がみえはじめている。そこで KamLAND2 実験への導入を念頭に、新たにフロントエンド回路と DAQ システムを開発し、KamLAND-Zen 800 実験へ段階的に導入することが計画されている。新型フロントエンド回路には、新型 DAQ システムと現行フロントエンド回路の課題からの以下のような要請が設定されている。

- 通常時における全ての 1 光電子以上の信号波形データの取得・転送
これは新型 DAQ システムからの要請である。新型 DAQ システムでは光電子増倍管から得られた信号が物理事象由来であるかどうかをソフトウェア的に判定してデータ取得をおこなうため、新型フロントエンド回路は全ての 1 光電子以上の信号の波形データを DAQ システムに転送する必要がある。
- ミューオン信号後 10 μsec 以上の波形データの連続取得
現状、現行フロントエンド回路の制限により、ミューオン信号直後およそ 10 μsec 以内に発生する中性子捕獲事象や Michel Electron の検出には成功していない。この期間の波形データを連続データ取得することができれば、オフライン解析による $0\nu\beta\beta$ 崩壊探索における背景事象の削減や、今まで不可能だった 30 MeV 以上のエネルギーキャリブレーションが可能となることにつながる。

- 近傍超新星時のロスなしデータ取得

現行フロントエンド回路では、近傍超新星爆発時のデータレートには対応できないという問題点があり、現在は巧みにデータ取得率を調整することで対応している。新型フロントエンド回路ではこの問題点を解決し、近傍超新星爆発時のすべてのデータを取得することが期待されている。

本研究では以上の要請を満たす新型フロントエンド回路を開発することを目的とする。なお、アナログ回路については現行フロントエンド回路と同等の性能を持つことを目標とする。

次に、開発した新型フロントエンド回路の構成を図 1.1 に示す。新型フロントエンド回路は 1 ボードにつき 16 チャンネルの PMT 信号入力を持つ。また、それぞれのチャンネルに対して 1 光電子信号など小信号用の H ゲインチャンネルと、ミューオン信号などの大信号用の L ゲインチャンネルを持っている。中核となるデジタル回路には RFSoc と呼ばれる ADC・FPGA・CPU などが一体となったチップを用いる。H ゲインチャンネルに関してはこの RFSoc の ADC を使用し、L ゲインチャンネルには別途 ADC を実装して使用する。また、DAQ システムへのデータ転送は 10 ギガビット・イーサネットによりおこなう。ただし、新型フロントエンド回路の 10 ギガビット・イーサネットを FPGA 部分のみで実装するのか、FPGA と CPU の両方を使用して実装するのかは現在検討中である。そのため、本研究では 10GbE 部分までは実装せず、ロジックを中心として開発をおこなった。ソフトウェアについてはデータ取得確認用のデバッグ手段とする。これは図 1.1 の赤枠線の部分に相当する。以後、この部分をファームウェアと呼ぶ。

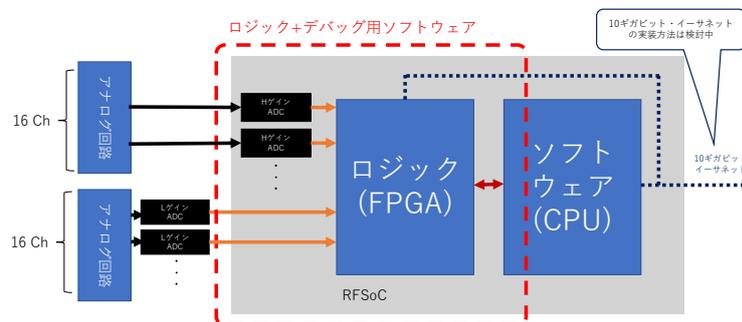


図 1.1 新型フロントエンド回路の構成

本論文では、2章および3章において前提知識となるニュートリノ物理学と KamLAND 実験について説明する。そして、4章にて現行 DAQ システムおよび現在開発中である新型 DAQ システムの概要について述べる。その後、5章において新型フロントエンド回路への要請やその仕様について述べる。6章では本研究の核となるファームウェア開発について、その設計コンセプトとともに論じる。最後に7章にて新型フロントエンド回路の試作機による評価結果を述べ、8章にて結論と今後の課題について述べる。

第2章

ニュートリノ物理学

現在、素粒子物理学において大きな成功を取めている理論として、標準理論がある。また、標準理論におけるこれらの基本粒子をまとめたものを標準模型という。標準模型の素粒子のうち物質を構成する粒子はクォークとレプトンに分けられる。その中でもニュートリノは電荷をもたないレプトンであり、その弱い相互作用を介してのみ他の粒子と相互作用をする。そのため、同じレプトンである電子やミューオンなどに比べて観測が難しい粒子である。本節では現在までの実験から解明されているニュートリノの性質や、標準理論を超える理論から予想される性質・現象について述べる。なお、途中式では自然単位系を用いる。

2.1 標準模型におけるニュートリノの基本的な性質

標準模型における素粒子とその質量を図 2.1 に示す。標準模型では前述したように物質を構成するクォーク・レプトン、力を媒介するゲージ粒子、素粒子に質量を与えるヒッグス粒子が存在する。また、それぞれのクォークとレプトンの種類をフレーバーという。この中でニュートリノは電荷を持たないレプトンに属し、電子・ミュー粒子・タウ粒子に対応して電子ニュートリノ・ミューニュートリノ・タウニュートリノの三種類が存在する。カイラリティはニュートリノが左巻き、反ニュートリノが右巻きである。これは標準模型ではニュートリノの質量がゼロであることと、ニュートリノのヘリシティが左巻きであるという実験結果から導かれる。質量がゼロの場合、そのカイラリティは常に固有状態をとる。また、質量がゼロの粒子はヘリシティとカイラリティが一致する。したがってヘリシティを決定するとカイラリティが定まる。

フェルミ粒子(スピンの半整数倍)				ボーズ粒子(スピンの整数倍)		
				ゲージ粒子(スピン1)		スカラー粒子(スピン0)
クォーク	アップ u 2.16 MeV/c ²	チャーム c 1.27 GeV/c ²	トップ t 172.4 GeV/c ²	強い相互作用	グルーオン g	
	ダウン d 4.67 MeV/c ²	ストレンジ s 93 MeV/c ²	ボトム b 4.18 GeV/c ²		電磁相互作用	光子 γ < 1 × 10 ⁻¹⁸ eV/c ²
レプトン	電子 e 0.511 MeV/c ²	ミューオン μ 105.6 MeV/c ²	タウ τ 1776 MeV/c ²	弱い相互作用		Wボソン Zボソン W Z 80.3 GeV/c ² 91.1 GeV/c ²
	電子ニュートリノ ν_e	ミューニュートリノ ν_μ	タウニュートリノ ν_τ		ヒッグス粒子 H 125.1 GeV/c ²	

図 2.1 標準模型の素粒子とその質量²

しかしながら、後年の実験によりニュートリノ振動が発見され、ニュートリノは非常に小さいがゼロではない質量を持つことが明らかとなった。この小さな質量を標準模型の枠組みのみで説明しようとした場合、電子などの他のレプトンに対してニュートリノのみ不自然に小さい結合定数を選ぶ必要がある。そのため、ニュートリノの質量を説明できる新たな理論が必要とされている。

2.2 ニュートリノ振動と質量階層構造

2.2.1 ニュートリノ振動

ニュートリノ振動とは、時間とともにニュートリノが別の種類のニュートリノ、つまり別のフレーバーに変化する現象である。これはニュートリノの質量固有状態とフレーバーの固有状態が一致していないために起こる現象であり、定式化すると以下ようになる。

$$\begin{pmatrix} \nu_e \\ \nu_\mu \\ \nu_\tau \end{pmatrix} = \begin{pmatrix} U_{e1} & U_{e2} & U_{e3} \\ U_{\mu1} & U_{\mu2} & U_{\mu3} \\ U_{\tau1} & U_{\tau2} & U_{\tau3} \end{pmatrix} \begin{pmatrix} \nu_1 \\ \nu_2 \\ \nu_3 \end{pmatrix} = U_{\text{MNSP}} \begin{pmatrix} \nu_1 \\ \nu_2 \\ \nu_3 \end{pmatrix} \quad (2.1)$$

ここで $\begin{pmatrix} \nu_e \\ \nu_\mu \\ \nu_\tau \end{pmatrix}$ はフレーバーの固有状態、 $\begin{pmatrix} \nu_1 \\ \nu_2 \\ \nu_3 \end{pmatrix}$ はニュートリノの質量固有状態を表す。 U_{MNSP} 行列はフレーバーと質量固有状態の混合度合いを表す行列であり牧-中川-坂田-Pontecorvo 行列と呼ばれる。各質量固有状態同士の混合を回転行列によって表すことで U_{MNSP} 行列は以下のようにかける。

$$\begin{aligned} U_{\text{MNSP}} &= \begin{pmatrix} 1 & 0 & 0 \\ 0 & c_{23} & s_{23} \\ 0 & -s_{23} & c_{23} \end{pmatrix} \begin{pmatrix} c_{13} & 0 & s_{13}e^{-i\delta_\nu} \\ 0 & 1 & 0 \\ -s_{13}e^{i\delta_\nu} & 0 & c_{13} \end{pmatrix} \begin{pmatrix} c_{12} & s_{12} & 0 \\ -s_{12} & c_{12} & 0 \\ 0 & 0 & 1 \end{pmatrix} \\ &= \begin{pmatrix} c_{13}c_{12} & c_{13}s_{12} & s_{13}e^{-i\delta_\nu} \\ -s_{12}s_{13}c_{12}e^{i\delta_\nu} - c_{23}s_{12} & -s_{23}s_{13}s_{12}e^{i\delta_\nu} + c_{23}c_{12} & s_{23}c_{13} \\ -c_{23}s_{13}c_{12}e^{i\delta_\nu} + s_{23}s_{12} & -c_{23}s_{13}s_{12}e^{i\delta_\nu} - s_{23}c_{12} & c_{23}c_{13} \end{pmatrix} \end{aligned} \quad (2.2)$$

なお、 i 番目の質量固有状態と j 番目の質量固有状態の混合角を θ_{ij} として

$$\begin{aligned} s_{ij} &= \sin \theta_{ij} \\ c_{ij} &= \cos \theta_{ij} \end{aligned}$$

としている。また、 δ_ν は CP 位相角と呼ばれ、CP 対称性の破れ度合いを表している。

ニュートリノ振動の定式化

U_{MNSP} 行列要素を使うことで時刻 0 で $|\nu_\alpha\rangle$ ($\alpha = e, \mu, \tau$) であったニュートリノの状態の時間発展は

$$|\nu(t)\rangle = \sum_{i=1,2,3} U_{\alpha i} |\nu_i\rangle e^{-iE_i t} \quad (2.3)$$

とあらわされる。さらにこのニュートリノが時刻 t で $|\nu_\beta\rangle$ に変化する確率 $P(\nu_\alpha \rightarrow \nu_\beta)$ は

$$\begin{aligned}
P(\nu_\alpha \rightarrow \nu_\beta) &= |\langle \nu_\beta | \nu(t) \rangle|^2 = \left| \sum_i \sum_j U_{\beta j}^* U_{\alpha i} \langle \nu_j | \nu_i \rangle e^{-iE_i t} \right|^2 = \left| \sum_i \sum_j U_{\beta j}^* U_{\alpha i} \delta_{ji} e^{-iE_i t} \right|^2 \\
&= \left| \sum_j U_{\beta j}^* U_{\alpha j} e^{-iE_j t} \right|^2 = \sum_j \sum_k U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^* e^{-i(E_j - E_k)t} \\
&= \sum_j |U_{\beta j} U_{\alpha j}|^2 + \sum_{j \neq k} U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^* e^{-i(E_j - E_k)t} \\
&= \left(\delta_{\alpha\beta} - \sum_{j \neq k} U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^* \right) + \sum_{j \neq k} U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^* e^{-i(E_j - E_k)t} \\
&= \delta_{\alpha\beta} + \sum_{j \neq k} U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^* \left(e^{-i(E_j - E_k)t} - 1 \right)
\end{aligned}$$

ここで

$$\begin{aligned}
\sum_{j \neq k} U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^* \left(e^{-i(E_j - E_k)t} - 1 \right) &= \sum_{j > k} U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^* \left(e^{-i(E_j - E_k)t} - 1 \right) + U_{\beta j} U_{\alpha j}^* U_{\beta k}^* U_{\alpha k} \left(e^{i(E_j - E_k)t} - 1 \right) \\
&= -2 \sum_{j > k} \text{Re}\{U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^*\} (\cos(E_j - E_k)t - 1) \\
&\quad - 2 \sum_{j > k} \text{Im}\{U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^*\} \sin(E_j - E_k)t
\end{aligned}$$

であるから、結局

$$P(\nu_\alpha \rightarrow \nu_\beta) = \delta_{\alpha\beta} - 4 \sum_{j > k} \text{Re}\{U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^*\} \sin^2 \frac{(E_j - E_k)t}{2} - 2 \sum_{j > k} \text{Im}\{U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^*\} \sin(E_j - E_k)t \quad (2.4)$$

となる。なお、ユニタリー行列の性質と、それから得られる関係式

$$\delta_{\alpha\beta} = \sum_j U_{\alpha j} (U^\dagger)_{j\beta} = \sum_j U_{\alpha j} U_{\beta j}^* = \sum_j U_{\alpha j}^* U_{\beta j} \quad (2.5a)$$

$$\delta_{\alpha\beta} = \left(\sum_j U_{\alpha j} U_{\beta j}^* \right) \left(\sum_k U_{\alpha k}^* U_{\beta k} \right) = \sum_j |U_{\beta j} U_{\alpha j}|^2 + \sum_{j \neq k} U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^* \quad (2.5b)$$

を用いた。

ニュートリノのエネルギー E_j は、運動量を p 、質量を m_j として

$$E_j = \sqrt{p^2 + m_j^2}$$

とあらわされるが、ニュートリノの質量は非常に軽いため $p \gg m$ として

$$E_j \simeq p + \frac{m_j^2}{2p} \quad (2.6)$$

の関係が成り立つ。今、時刻 0 から時刻 t までの間に移動した距離を L 、運動量に相当するエネルギーを E 、質量の二乗の差 $m_j^2 - m_k^2$ を Δm_{jk}^2 とすれば式 2.4 は式 2.6 を代入して

$$P(\nu_\alpha \rightarrow \nu_\beta) = \delta_{\alpha\beta} - 4 \sum_{j > k} \text{Re}\{U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^*\} \sin^2 \left(\frac{\Delta m_{jk}^2 L}{4E} \right) - 2 \sum_{j > k} \text{Im}\{U_{\beta j}^* U_{\alpha j} U_{\beta k} U_{\alpha k}^*\} \sin \left(\frac{\Delta m_{jk}^2 L}{2E} \right) \quad (2.7)$$

となる。

表 2.1 現在知られているニュートリノ振動のパラメータ²

パラメータ	値
Δm_{21}^2	$(7.53 \pm 0.18) \times 10^{-5} \text{ eV}^2$
Δm_{32}^2	$(-2.546^{+0.034}_{-0.040}) \times 10^{-3} \text{ eV}^2$ (逆階層性構造)
	$(2.453 \pm 0.034) \times 10^{-3} \text{ eV}^2$ (正常階層性構造)
$\sin^2 \theta_{12}$	0.307 ± 0.013
$\sin^2 \theta_{23}$	0.547 ± 0.021 (逆階層構造)
	0.545 ± 0.021 (正常階層構造)
$\sin^2 \theta_{13}$	$(2.18 \pm 0.07) \times 10^{-2}$

電子ニュートリノでの例

式 2.7 において $\nu_e \rightarrow \nu_e$ を考えると

$$\begin{aligned}
 P(\nu_e \rightarrow \nu_e) &= 1 - 4 \left[\{c_{13}^4 c_{12}^2 s_{12}^2\} \sin^2 \left(\frac{\Delta m_{21}^2 L}{4E} \right) + \{c_{13}^2 s_{12}^2 s_{13}^2\} \sin^2 \left(\frac{\Delta m_{32}^2 L}{4E} \right) + \{c_{13}^2 c_{12}^2 s_{13}^2\} \sin^2 \left(\frac{\Delta m_{31}^2 L}{4E} \right) \right] \\
 &= 1 - 4 \left[\{c_{13}^4 c_{12}^2 s_{12}^2\} \sin^2 \left(\frac{\Delta m_{21}^2 L}{4E} \right) + \{c_{13}^2 s_{12}^2 s_{13}^2\} \sin^2 \left(\frac{\Delta m_{32}^2 L}{4E} \right) + \{c_{13}^2 c_{12}^2 s_{13}^2\} \sin^2 \left(\frac{(\Delta m_{21}^2 + \Delta m_{32}^2) L}{4E} \right) \right]
 \end{aligned} \tag{2.8}$$

となる。なお

$$\Delta m_{21}^2 + \Delta m_{32}^2 = m_2^2 - m_1^2 + (m_3^2 - m_2^2) = \Delta m_{31}^2$$

という関係が成立することを用いた。

さらにニュートリノ振動に関する実験結果から、 θ_{13} が非常に小さいことがわかっているため、式 2.8 において $c_{13} \approx 1, s_{13} \approx 0$ とできる。

$$P(\nu_e \rightarrow \nu_e) \simeq 1 - 4c_{12}^2 s_{12}^2 \sin^2 \left(\frac{\Delta m_{21}^2 L}{4E} \right) = 1 - \sin^2 2\theta_{12} \sin^2 \left(\frac{\Delta m_{21}^2 L}{4E} \right) \tag{2.9}$$

この式から電子ニュートリノの存在確率は、その飛行距離 L に従って振動することがわかる。これがニュートリノ振動と呼ばれる所以である。

表 2.1 に実験からわかっているニュートリノ振動のパラメータをまとめたものを示す。式 2.7 ではニュートリノが飛行中に物質を通過する際に生じる補正を考慮していないが、実際には物質中の電子が電子ニュートリノとのみ荷電カレント反応による弾性散乱 ($\nu_e + e \rightarrow \nu_e + e$) を起こすために補正が必要となる。これは物質効果と呼ばれ、太陽のような高密度の物質を通過する太陽ニュートリノにおいては顕著に現れる効果である。この物質効果による補正は Δm_{21}^2 の符号によって異なる。これにより太陽ニュートリノ観測から Δm_{21}^2 の符号を決めることができる。一方で Δm_{32}^2 については物質効果の影響が小さいため、現状ではその符号は決定されていない。

2.2.2 ニュートリノの質量階層構造

前述したように、ニュートリノ振動に関する実験結果から $m_1 < m_2$ であることはわかっているが、 Δm_{32}^2 が定まっていないため、 $m_2 \ll m_3$ であるか $m_2 \gg m_3$ であるかが定まっていない。前者の場合のニュートリノ質量の階層構造を正常階層構造 (Normal Hierarchy, NH)、後者の場合を逆階層構造 (Inverted Hierarchy, IH) と呼ぶ。また、 Δm_{21}^2 と Δm_{32}^2 に対してニュートリノ質量が大きい場合、実質的にニュートリノ同士の質量は殆ど同じとみな

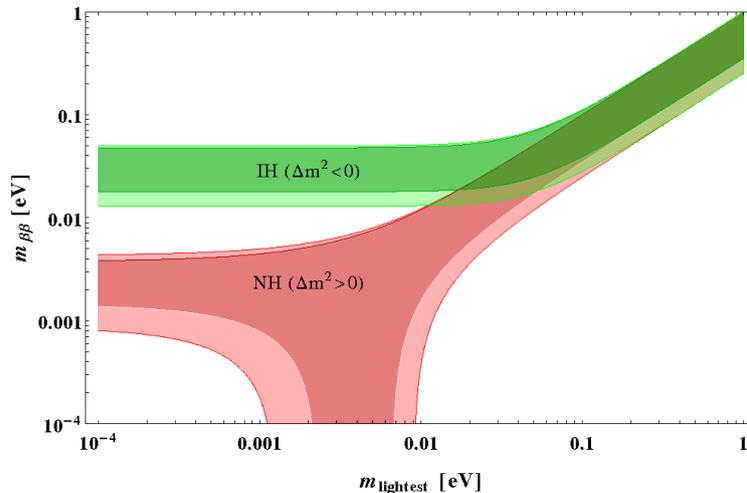


図 2.2 ニュートリノの有効マヨラナ質量と最も軽いニュートリノの質量の関係³。緑色の帯が逆階層構造 (IH) を、赤色の帯が正常階層構造 (NH) の理論的な制限を示している。

すことができる。これを準縮退構造 (Quasi Degenerate, QD) と呼ぶ。まとめると、次のような関係になる。

$$m_1 < m_2 \ll m_3 \quad (\text{NH})$$

$$m_3 \ll m_1 < m_2 \quad (\text{IH})$$

$$m_1 \approx m_2 \approx m_3 \quad (\text{QD})$$

ニュートリノ質量の階層構造について、ニュートリノがマヨラナ粒子であった場合 (以後、マヨラナニュートリノと呼ぶ)、最も軽い質量と電子ニュートリノの質量の期待値に相当する有効マヨラナ質量 (Effective Majorana mass) の間の関係は図 2.2 に示すような制限が与えられることがわかっている。

ニュートリノがマヨラナ粒子である場合、準縮退構造についてはマヨラナ有効質量の下限値がおおよそ 100 meV である。そのため、有効マヨラナ質量の上限値が 65–165 meV であるという KamLAND-Zen400 の結果から、マヨラナニュートリノの準縮退構造には強い制限がかかっている¹。

2.3 マヨラナニュートリノ

2.3.1 ディラック質量項

自由ディラック場のラグランジアンは

$$\mathcal{L} = \bar{\psi}(i\gamma^\mu \partial_\mu - m_D)\psi \quad (2.10)$$

である。第一項は運動エネルギーに相当し、第二項が質量項に相当する。波動関数はカイラルスピノルを使って

$$\psi = P_R\psi + P_L\psi = \psi_R + \psi_L \quad (2.11)$$

とあらわすことができる。なお、カイラリティの射影演算子は次の性質を持つ。

$$\begin{cases} (P_R)^2 = P_R \\ (P_L)^2 = P_L \\ P_R P_L = P_L P_R = 0 \\ P_R + P_L = 1 \end{cases} \quad (2.12a)$$

また、 P_R, P_L は

$$\begin{cases} P_R = \frac{1}{2}(1 + \gamma^5) \\ P_L = \frac{1}{2}(1 - \gamma^5) \end{cases} \quad (2.13a)$$

である。これらを使って質量項を計算すると

$$\begin{aligned} m_D \bar{\psi} \psi &= m_D (\bar{\psi}_R + \bar{\psi}_L) (\psi_R + \psi_L) \\ &= m_D (\bar{\psi}_R \psi_R + \bar{\psi}_R \psi_L + \bar{\psi}_L \psi_R + \bar{\psi}_L \psi_L) \\ &= m_D \underbrace{(\psi^\dagger \gamma^0 P_L P_R \psi)}_0 + \psi^\dagger \gamma^0 (P_R)^2 \psi + \psi^\dagger \gamma^0 (P_L)^2 \psi + \underbrace{\psi^\dagger \gamma^0 P_L P_R \psi}_0 \\ &= m_D (\bar{\psi}_R \psi_L + \bar{\psi}_L \psi_R) \end{aligned}$$

が得られる。したがって粒子に関する質量項は

$$\mathcal{L}_m = m_D (\bar{\psi} \psi + \bar{\psi}^c \psi^c) = m_D (\bar{\psi}_R \psi_L + \bar{\psi}_L \psi_R) + m_D \{ \overline{(\psi^c)_R} (\psi^c)_L + \overline{(\psi^c)_L} (\psi^c)_R \} \quad (2.14)$$

となる。反粒子についても同様に、

$$\mathcal{L}_{\bar{m}} = m_D \bar{\psi}^c \psi^c = m_D \{ \overline{(\psi^c)_R} (\psi^c)_L + \overline{(\psi^c)_L} (\psi^c)_R \} \quad (2.15)$$

である。

このことから、粒子がどちらか一方のカイラリティしか持たない場合、すなわち $\psi_R = 0$ または $\psi_L = 0$ の場合は、ディラック場における質量項は 0 になってしまう。 \mathcal{L}_m をディラック質量項と呼ぶ。またこれによって与えられる質量をディラック質量と呼ぶ。ディラック質量を獲得する機構は、ヒッグス機構により説明される。ここでは詳細は省くが、その大きさはヒッグス場との結合定数によって決まる。したがって、ニュートリノの質量もヒッグス機構によってのみ獲得されると考えた場合、電子などの荷電レプトンに比べて不自然に結合定数を小さくしなければならないという問題がある。

2.3.2 マヨラナ質量項

ディラック質量では、質量を表すスカラーが $\bar{\psi} \psi$ であったために質量を持つには両方のカイラリティを持つ必要があった。そこで他のスカラーとして

$$\bar{\psi}^c \psi, \bar{\psi} \psi^c \quad (2.16)$$

を考える。ディラック質量の場合と同様に、カイラルスピノルを使って表した波動関数で $\bar{\psi}^c \psi$ を計算すると

$$\begin{aligned} \bar{\psi}^c \psi &= \overline{(\psi^c)_R} \psi_R + \overline{(\psi^c)_R} \psi_L + \overline{(\psi^c)_L} \psi_R + \overline{(\psi^c)_L} \psi_L \\ &= (P_R \psi^c)^\dagger \gamma^0 (P_R \psi) + (P_R \psi)^\dagger \gamma^0 (P_L \psi) + (P_L \psi^c)^\dagger \gamma^0 (P_R \psi) + (P_L \psi^c)^\dagger \gamma^0 (P_L \psi) \\ &= \underbrace{c_R^2 (\psi^c)^\dagger \gamma^0 P_L P_R \psi}_0 + (\psi^c)^\dagger \gamma^0 (P_L)^2 \psi + (\psi^c)^\dagger \gamma^0 (P_R)^2 \psi + \underbrace{(\psi^c)^\dagger \gamma^0 P_R P_L \psi}_0 \\ &= \overline{(\psi^c)_R} \psi_L + \overline{(\psi^c)_L} \psi_R \end{aligned}$$

となる。 $\bar{\psi} \psi^c$ についても同様に

$$\bar{\psi} \psi^c = \overline{\psi}_R (\psi^c)_L + \overline{\psi}_L (\psi^c)_R$$

が得られる。こちらをもとめる次のようになる。

$$\begin{cases} \bar{\psi}^c \psi = \overline{(\psi^c)_R} \psi_L + \overline{(\psi^c)_L} \psi_R \\ \bar{\psi} \psi^c = \overline{\psi}_R (\psi^c)_L + \overline{\psi}_L (\psi^c)_R \end{cases} \quad (2.17)$$

一見ディラック質量の場合と変わらないように見えるが、マヨラナ条件という特殊な条件を与えることで、異なった質量の与え方が可能になる。

荷電共役変換とカイラリティの関係

まずは荷電共役変換に伴うカイラリティの変化について考える。荷電共役変換 C は

$$C(\gamma^\mu)^T C^{-1} = -\gamma^\mu \quad (2.18)$$

という形で定義される。また、荷電共役変換された波動関数 ψ^c は

$$\begin{aligned} \psi^c &= C\bar{\psi}^T \\ &= C(\gamma^0\psi)^* \end{aligned} \quad (2.19)$$

となる。よって式 2.18 および式 2.19 と、 $(\gamma^5)^T = (\gamma^5)^*$ を用いることで

$$\begin{aligned} (\psi^c)_R &= P_R\psi^c = \frac{C(\gamma^0\psi)^* + \gamma^5 C(\gamma^0\psi)^*}{2} \\ &= \frac{C(\gamma^0\psi)^* - C(\gamma^5)^*(\gamma^0\psi)^*}{2} \\ &= C(\gamma^0 P_L\psi)^* \\ &= (\psi_L)^c \end{aligned}$$

となる。左巻きのカイラリティの射影演算子を作用させる場合も同様に

$$(\psi^c)_L = P_L\psi^c = C(\gamma^0 P_R\psi)^* = (\psi_R)^c$$

が得られる。したがって荷電共役変換にカイラリティの変化は次のようになる。

$$\begin{cases} (\psi^c)_R = (\psi_L)^c \\ (\psi^c)_L = (\psi_R)^c \end{cases} \quad (2.20)$$

よって荷電共役変換はカイラリティを反転させる作用を持つことがわかる。

マヨラナ条件

マヨラナ条件とは

$$\phi_M = (\phi_M)^c \quad (2.21)$$

として定義される。これは粒子と反粒子が同一であることを意味する。ここで式 2.17 を考えると、式 2.20 から

$$\begin{cases} \bar{\psi}^c\psi = \overline{(\psi_L)^c}\psi_L + \overline{(\psi_R)^c}\psi_R \\ \bar{\psi}\psi^c = \overline{\psi_R}(\psi_R)^c + \overline{\psi_L}(\psi_L)^c \end{cases}$$

が得られる。したがって、左巻きのカイラリティを持つマヨラナスピノル ϕ_L と、右巻きのカイラリティを持つマヨラナスピノル ϕ_R を導入すれば、

$$\bar{\psi}\psi^c = \bar{\psi}^c\psi = \overline{\phi_L}\phi_L + \overline{\phi_R}\phi_R$$

となる。

マヨラナ質量項

カイラリティが反対の二つのマヨラナスピノルはディラック粒子と異なり、粒子と反粒子の関係ではないため、異なる質量をとることができる。したがって、左巻きのカイラリティのマヨラナスピノルの質量を m_L 、右巻きのカイラリティのマヨラナスピノルの質量を m_R とすれば、ディラック質量とは異なる質量項

$$\mathcal{L}_M = m_L(\overline{\phi_L}\phi_L) + m_R(\overline{\phi_R}\phi_R) \quad (2.22)$$

が得られる。 \mathcal{L}_M をマヨラナ質量項と呼ぶ。

2.3.3 シーソー機構とレプトジェネシス

式 2.14 と式 2.15 のディラック質量項および式 2.22 のマヨラナ質量項すべて足したものをディラック-マヨラナ質量項という。

$$\begin{aligned}\mathcal{L}_{mass} &= \mathcal{L}_m + \mathcal{L}_{\bar{m}} + \mathcal{L}_M \\ &= m_D(\overline{\psi}_R\psi_L + \overline{\psi}_L\psi_R) + m_D\{(\overline{\psi^c})_R(\psi^c)_L + \overline{(\psi^c)}_L(\psi^c)_R\} \\ &\quad + m_L\{(\overline{\psi^c})_R\psi_L + \overline{\psi}_L(\psi^c)_R\} + m_R\{(\overline{\psi^c})_L\psi_R + \overline{\psi}_R(\psi^c)_L\}\end{aligned}$$

これを行列の内積で表すと次のようになる。

$$\begin{aligned}\mathcal{L}_{mass} &= (\overline{\psi}_L \quad \overline{(\psi^c)}_L) \begin{pmatrix} m_L & m_D \\ m_D & m_R \end{pmatrix} \begin{pmatrix} (\psi^c)_R \\ \psi_R \end{pmatrix} + (\overline{(\psi^c)}_R \quad \overline{\psi}_R) \begin{pmatrix} m_L & m_D \\ m_D & m_R \end{pmatrix} \begin{pmatrix} \psi_L \\ (\psi^c)_L \end{pmatrix} \\ &= \overline{\Psi}_L M (\Psi^c)_R + \overline{(\Psi^c)}_R M \Psi_L\end{aligned}\quad (2.23)$$

なお、

$$\Psi_L = \begin{pmatrix} \psi_L \\ (\psi^c)_L \end{pmatrix} \quad (\Psi^c)_R = \begin{pmatrix} (\psi^c)_R \\ \psi_R \end{pmatrix} \quad M = \begin{pmatrix} m_L & m_D \\ m_D & m_R \end{pmatrix}$$

である。シーソー機構において $\psi_L, (\psi^c)_R$ が通常の左巻きニュートリノ (ν_L) と右巻きの反ニュートリノ (ν^c_R)、 $\psi_R, (\psi^c)_L$ が新たに要請される重い右巻きニュートリノ (N_R) と重い左巻き反ニュートリノ (N^c_L) に相当する。さらに、ニュートリノの質量を確認するため、式 2.23 の質量行列を対角化すると、

$$\frac{m_R}{2} \begin{pmatrix} 1 + \frac{m_L}{m_R} - \sqrt{\left(1 - \frac{m_L}{m_R}\right)^2 + 4\left(\frac{m_D}{m_R}\right)^2} & 0 \\ 0 & 1 + \frac{m_L}{m_R} + \sqrt{\left(1 - \frac{m_L}{m_R}\right)^2 + 4\left(\frac{m_D}{m_R}\right)^2} \end{pmatrix} \equiv \begin{pmatrix} -m_1 & 0 \\ 0 & m_2 \end{pmatrix} \quad (2.24)$$

となる。 m_1 と m_2 がそれぞれ左巻きニュートリノと右巻きニュートリノの質量に相当する。 m_1 の符号については質量を正に取るためである。

シーソー機構

$m_L = 0, m_R \gg m_D$ である場合を考える。この時、式 2.24 の質量固有値は

$$m_1 = \frac{m_R}{2} \left\{ \sqrt{1 + 4\left(\frac{m_D}{m_R}\right)^2} - 1 \right\} \sim \frac{m_D^2}{m_R} \quad m_2 = \frac{m_R}{2} \left\{ 1 + \sqrt{1 + 4\left(\frac{m_D}{m_R}\right)^2} \right\} \sim m_R$$

である。したがって、左巻きニュートリノの質量を m_ν 、右巻きニュートリノの質量を m_N とすると

$$m_\nu \sim \frac{m_D^2}{m_R} \quad m_N \sim m_R \quad (2.25)$$

であることがわかる。ゆえに左巻きニュートリノとヒッグス場の結合定数を特別に小さくとらなくとも、重い右巻きニュートリノが存在することによって自然に左巻きニュートリノの質量が小さくなる。これをシーソー機構という。

レプトジェネシス

現在、我々が観測可能な宇宙では、反粒子で構成される反物質に対して、粒子で構成される物質の方が圧倒的に優勢である。しかしながら、物質・反物質は宇宙生成時には同数存在していたはずであり、なぜ現在の宇宙の様に

物質優勢の宇宙になったのか不明である。これを説明する有力な理論として挙げられているのが「レプトジェネシス」である。

物質優勢宇宙を形成するためには「サハロフの三条件」呼ばれる次の3つの条件を満たす必要がある。

1. バリオン数の非保存
2. CP の非保存
3. 熱平衡状態の破れ

レプトジェネシスでは、シーソー機構に登場した重い右巻きマヨラナニュートリノが存在し、ヒッグス粒子とレプトンまたは反レプトンに崩壊する。マヨラナニュートリノのレプトン数は0なので、この反応はレプトン数を保存しない。

$$\Delta L \neq 0$$

このレプトン数の非保存をスファレロン過程を介してバリオン数の非保存に転換する。スファレロン過程とは反応の前後でバリオン数とレプトン数の差が保存される反応である。

$$\Delta(B - L) = 0$$

したがって、重い右巻きニュートリノの崩壊によって生じたレプトン数をバリオン数に変換することにより、「1. バリオン数の非保存」を満たすことができる。また、この反応では反レプトンに比べてレプトンが多く生成されるため、CP 対称性も破っており、「2. CP の非保存」も満たされている。加えて、重い右巻きマヨラナニュートリノの崩壊率は宇宙の膨張率に比べて大きいため、非熱平衡的に起こる。そのため「3. 熱平衡状態の破れ」も満たされている。

2.4 ニュートリノのマヨラナ性の検証実験

前節まで説明したように、ニュートリノのマヨラナ性を要請することにより、なぜニュートリノが他のレプトンやクォークに比べて非常に軽いかを説明できるだけでなく、宇宙の物質優勢の謎を解明する可能性を秘めている。このニュートリノのマヨラナ性を検証するほぼ唯一の方法として考えられているのがニュートリノを伴わない二重ベータ崩壊 ($0\nu\beta\beta$ 崩壊) である。

2.4.1 ニュートリノを伴わない二重ベータ崩壊 ($0\nu\beta\beta$ 崩壊)

二重ベータ崩壊 ($2\nu\beta\beta$ 崩壊)

$0\nu\beta\beta$ 崩壊について述べる前に、基本となる二重ベータ崩壊について述べる。二重ベータ崩壊とは、原子核内でベータ崩壊を二回同時に起こすことでより安定な原子核に崩壊する現象である。



この現象は質量数 A が偶数の場合にのみ起こる現象である。質量数が奇数の場合、陽子数 Z と中性子 $N (= A - Z)$ のペア (Z, N) は (偶数, 奇数) または (奇数, 偶数) のみである。一方、質量数が偶数の場合、(奇数, 奇数) と (偶数, 偶数) の二通りが存在する。(偶数, 偶数) の原子核は (奇数, 奇数) の原子核に比べて安定であるという特徴がある。これは、原子核の束縛エネルギーに相当する Mass excess と陽子数の関係を図にするとより明らかになる。なお、Mass excess は

$$\text{Mass excess} = M(A, Z) - Au \quad M(A, Z) : \text{原子核質量}, u : \text{原子質量単位}$$

によって定義される。図 2.3 は質量数 A が 136 の原子核について mass excess と陽子数 Z の関係をプロットし

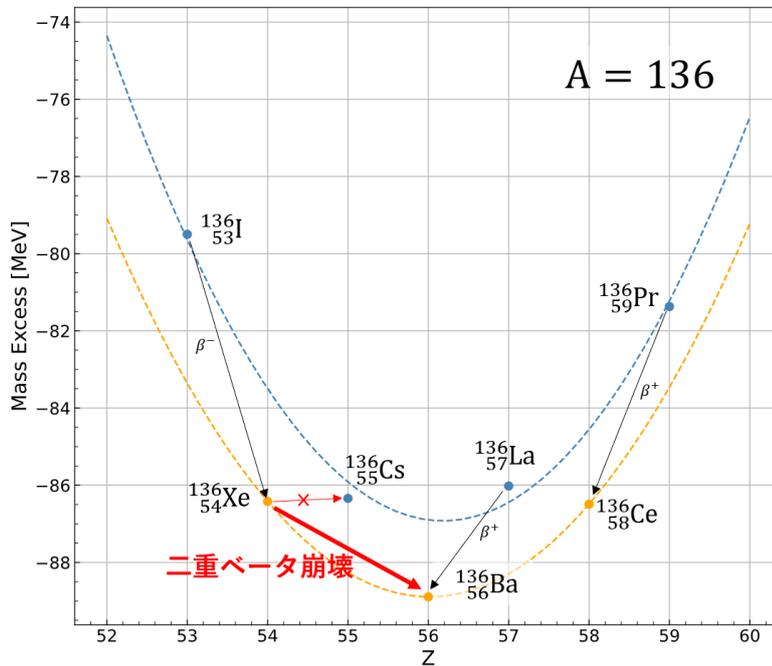


図 2.3 質量数 $A = 136$ の Mass excess と陽子数 Z の関係。水色点で $(Z, N) = (\text{奇数}, \text{奇数})$ 、橙色点で $(Z, N) = (\text{偶数}, \text{偶数})$ の原子核の Mass excess を示している。また、目安としてそれぞれの色の破線で二次曲線をプロットしている。

たものである。 $(Z, N) = (\text{奇数}, \text{奇数})$ の場合と $(Z, N) = (\text{偶数}, \text{偶数})$ の場合で 2 つの二次曲線が存在するため、 ^{136}Xe と ^{136}Cs および ^{136}Ba の関係の様に、一回の β 崩壊では安定な原子核に崩壊できないが、二回連続で β 崩壊を起こせば可能という場合が現れる。このような場合に二重ベータ崩壊は起こる。

ニュートリノを伴わない二重ベータ崩壊 ($0\nu\beta\beta$ 崩壊)

通常二重ベータ崩壊では式 2.26 の様に、二つの電子と二つの反電子ニュートリノを放出する。しかし 2.3 節で述べたように、ニュートリノがマヨラナ粒子である場合は反電子ニュートリノが放出されない崩壊を考えることができる。この場合、図 2.4 に示すように、 β 崩壊によって放出された反電子ニュートリノが右巻きニュートリノ介して電子ニュートリノとなり、もう一方の β 崩壊によって生じた反電子ニュートリノと対消滅を起こすような反応が許されるためである。 $2\nu\beta\beta$ 崩壊とは異なり、 $0\nu\beta\beta$ 崩壊では 2 つの電子のみが放出されるため、それらの運動エネルギーの和は一定になる。このエネルギーの値は Q 値 (Q -value) と呼ばれる。また、 $0\nu\beta\beta$ 崩壊の半減期 $T_{1/2}^{0\nu}$ と有効マヨラナ質量 $\langle m_{\beta\beta} \rangle$ の間には次のような関係があることが知られている。

$$T_{1/2}^{0\nu} = \frac{1}{G^{0\nu}(Q, Z) |M^{0\nu}|^2 \langle m_{\beta\beta} \rangle^2} \quad (2.27)$$

$G^{0\nu}(Q, Z)$ は Q 値と質量数によって決まる位相因子と呼ばれる量であり、 $M^{0\nu}$ は原子核内での $0\nu\beta\beta$ 崩壊の起こりやすさを表すパラメータである。この関係から、 $0\nu\beta\beta$ 崩壊探索によって 2.2.2 節で述べたようなニュートリノの質量階層構造への制限をつけることができる。

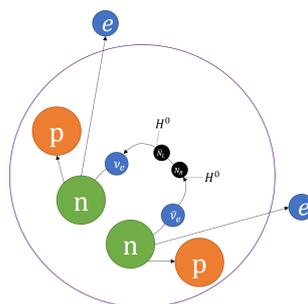


図 2.4 $0\nu\beta\beta$ 崩壊の概念図。反電子ニュートリノが重い右巻きニュートリノを介して電子ニュートリノに変化する。

2.4.2 $0\nu\beta\beta$ 崩壊探索実験

$0\nu\beta\beta$ 崩壊探索に用いられる原子核の特徴として次のような特徴がある。

- 多量に存在する
崩壊を起こす原子核を多量に用意することで観測確率を上げることができる。 ^{130}Te などが該当する。
- 濃縮法が確立されている
高純度な線源を用意することで背景事象を低減することができる。 ^{76}Ge ・ ^{136}Xe などが該当する。
- Q 値が高い
自然放射線などの背景事象と区別が容易になる。 ^{48}Ca ・ ^{82}Se ・ ^{100}Mo などが該当する。

これらすべての条件を満たす原子核は存在しないため、探索に用いる原子核の特徴を活かした探索実験が行われている。その中で主な実験を述べる。なお、KamLAND-Zen 実験については 3 章で述べるため省略する。

NEMO-3

NEMO-3 実験は The Neutrino Ettore Majorana Observatory collaboration による、フランスの Modane 地下実験施設にて 2003 年から 2008 年まで稼働していた実験である。検出器は円柱型であり、円柱中心部と外縁部が PMT とカロリメータからなるエネルギーおよび飛翔時間 (Time of flight, TOF) 測定部分、中間部はドリフトチェンバーからなるトラッキング部分で構成されている。中間部に複数の二重ベータ崩壊核で構成される薄い箔状の線源を挿入して、エネルギーと飛跡の両方を測定する。現在、後継となる SuperNEMO 実験が進行中である。

GERDA

GERmanium Detector Array (GERDA) 実験はイタリアの Gran Sasso 国立研究所にて行われている実験である。87% 程度まで濃縮された高純度 ^{76}Ge 半導体検出器 (High purity Germanium semiconductor detectors, HPGe) が使われており、この検出器をアレイ状に配置して冷凍機内に設置している。特徴としては半導体検出器の特徴である非常に高いエネルギー分解能と、高純度化したことによる低い背景事象数にある。こちらも LEGEND 実験と呼ばれる後継の実験が進行中である。

CUORE

Cryogenic Underground Observatory for Rare Events (CUORE) 実験は酸化テルル (TeO_2) でできた 5cm 角の立方体結晶を使った実験である。988 個の結晶を冷凍機内に設置し、崩壊によって放出される粒子のエネルギーを温度変化によって測定する。特徴としては ^{130}Te の天然存在比が 30% 以上あるため、濃縮などを行わずとも大量に用意することができる点である。こちらも、温度変化のほかに発光による粒子識別を取り入れた CUPID と呼ばれる実験のための研究開発が行われている。

EXO-200

Enriched Xenon Observatory (EXO) 実験は液体キセノンを充填した Time Projection Chamber(TPC) を使った実験である。そのため、崩壊により放出された粒子の飛跡を背景事象との識別に利用することができる。EXO-200 実験はこの ^{136}Xe を濃縮した液体キセノン 200 kg を用いた実験であり、この実験によって得られた技術をベースにエネルギー分解能と液体キセノン量を増やした nEXO 実験が進行中である。

また、現時点 (2020 年) での $0\nu\beta\beta$ 崩壊探索をまとめたものを表 2.2 に示す。誤差については省略している。

表 2.2 $0\nu\beta\beta$ 探索に利用される主な原子核と結果

原子核	$\langle T_{1/2}^{0\nu} [\times 10^{25} \text{ year}]$	$T_{1/2}^{2\nu} [\times 10^{18} \text{ year}]$	Q 値 [keV]	実験
^{48}Ca	6.2×10^{-3}	64	4269	CANDLES ⁴ , NEMO-3 ⁵
^{76}Ge	18	1926	2039	GERDA ^{6,7}
^{82}Se	0.025	93.9	2995	NEMO-3 ⁸
^{100}Mo	0.11	6.81	3034	NEMO-3 ^{9,10}
^{130}Te	1.5	790	2527	CUORE ¹¹
^{136}Xe	10.7	2210	2458	KamLAND-Zen 400 ¹

第 3 章

KamLAND 実験

この章では KamLAND 実験および KamLAND-Zen 実験、そしてその将来計画について述べる。

3.1 KamLAND 実験

KamLAND 実験とは、KamLAND (Kamioka Liquid-scintillator-Anti-Neutrino Detector) を用いた反電子ニュートリノの検出実験である。KamLAND は岐阜県飛騨市神岡町の池ノ山山頂から地下 1000 メートルに位置する。主な観測対象は原子炉から放出される反電子ニュートリノ (原子炉ニュートリノ) であり、反電子ニュートリノの消失確率を確かめることを目的とする disappearance 実験である。原子炉ニュートリノの生成量は数 % の誤差で見積もることができるため、実際の反電子ニュートリノの観測量との比率をとることで生存確率が計算できる。また、図 3.2 の様に KamLAND の周囲 130–220 km に原子炉が点在しており、180 km の位置に巨大な原子炉があることに相当する。そのため、電子ニュートリノを反電子ニュートリノに置き換えた式 2.9 の L を固定することに相当し、観測された反電子ニュートリノのエネルギー E ごとに確率をプロットすることで反電子ニュートリノの消失確率が実際に振動していることを確かめることができる。実際、図 3.1 の KamLAND によるニュートリノ振動の観測結果の様に、反電子ニュートリノの生存確率が振動していることが確かめられた。

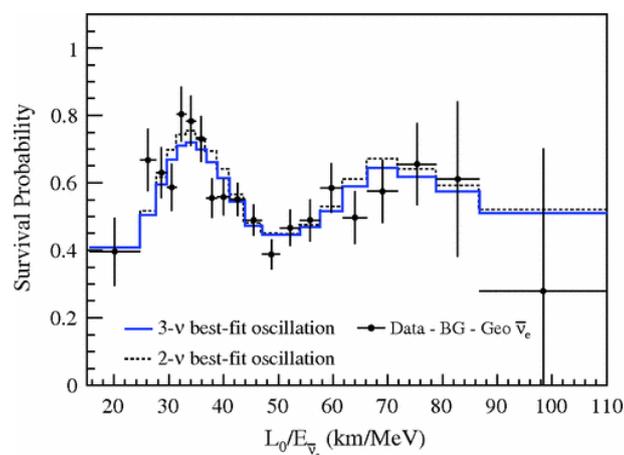


図 3.1 観測された反電子ニュートリノの生存確率¹²。縦軸が生存確率、横軸が L/E に相当し、 $L_0 = 180$ km である。青線は三世混合がある ($\theta_{13} \neq 0$) 場合のフィット結果、黒破線は二世混合のみ ($\theta_{13} = 0$) のフィット結果である。

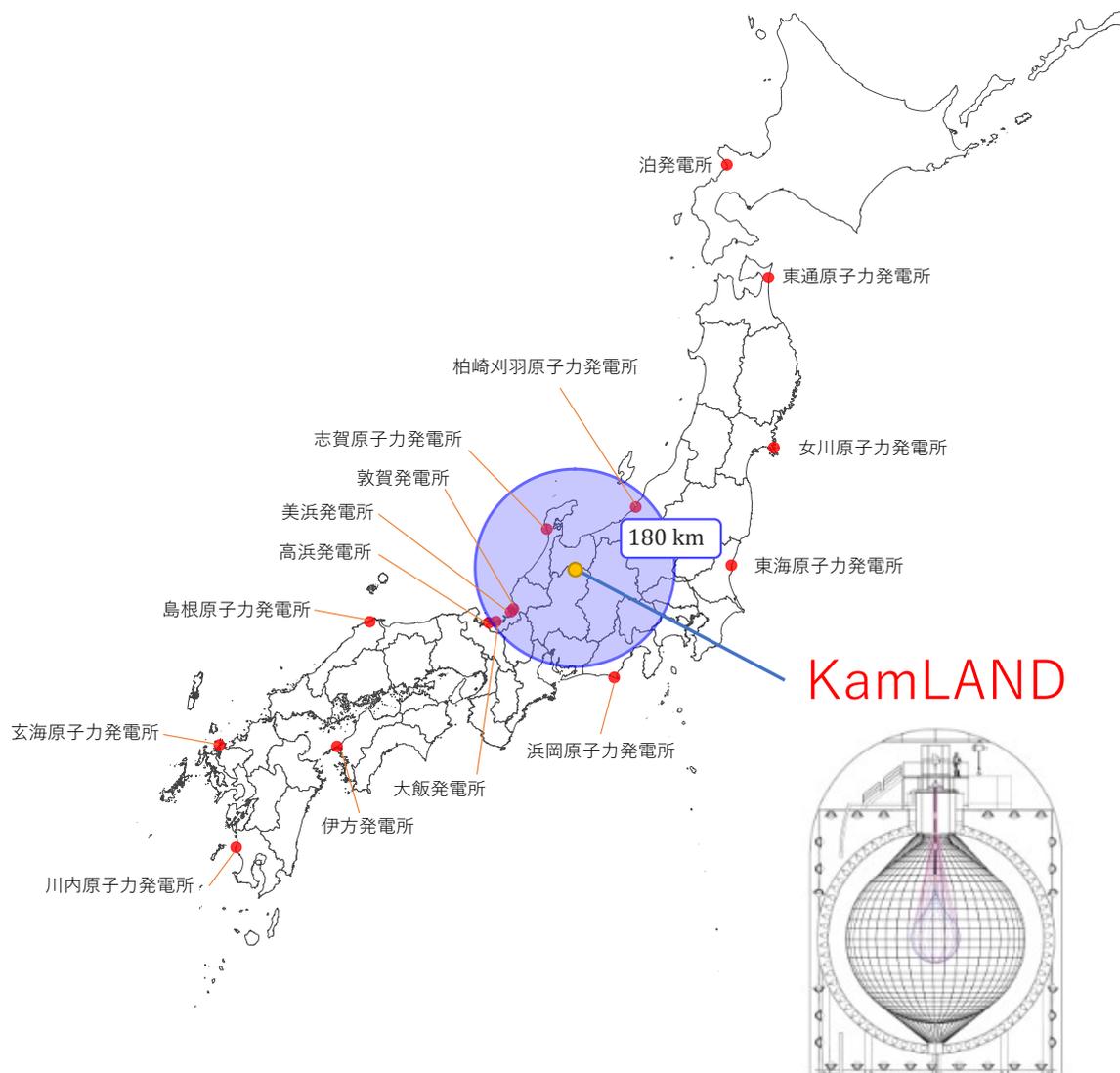


図 3.2 KamLAND の位置

3.1.1 検出器の構造

KamLAND はカミオカンデ検出器が設置されていた空洞を利用しており、図 3.4 に示すように、円柱型の外部検出器と球形の内部検出器で構成されている。

外部検出器 (Outer Detector, OD)

外部検出器は、直径 19 m・高さ 20 m の円柱形タンク内部に白色反射材と光電子増倍管が取り付けられており、純水で満たされている。検出器のタイプとしては水チェレンコフ検出器であり、岩盤でも防ぎきれない宇宙線由来のミュオンを検出する役割を持つ。これによってミュオン事象を除去することができる。当初はカミオカンデで使用されていた PMT を 225 本を使用していたが、2010 年から故障する PMT が増え始め、ミュオンの検出効率が低下したため、2016 年の 1 月から 4 月にかけて改修が行われた。改修では 225 本すべての PMT が取り除かれ、新しく 140 本の PMT が導入された。¹³

内部検出器 (Inner Detector, ID)

内部検出器はステンスタックをベースにした球形の構造体と、その内部にある、液体シンチレータで満たされたバルーン部で構成される。なお、このバルーンは後の KamLAND-Zen 実験で導入されたバルーンと区別するためにアウターバルーンと呼ばれる。

球形の構造体は外側から順に次のような構造になっている。

球形ステンスタック

ステンレス製の直径 18 メートルの球形タンクであり、内部検出器の構造を支えている。

光電子増倍管 (Photo Multiplier Tube, PMT)

20-inch PMT と 17-inch PMT という二種類の PMT が使われており、20-inch PMT は 544 本、17-inch PMT は 1325 本、計 1879 本の PMT がステンスタック内部に取り付けられている。20-inch PMT はカミオカンデ検出器で使用されていた PMT に耐油加工を施したもので、電子増幅部 (ダイノード) がベネチアンブラインド型と呼ばれる大口径 PMT に適した構造となっている。一方 17-inch PMT は、20-inch PMT と同一のサイズであるが、光電面の円周部をマスクしているために 17-inch PMT と呼ばれる。これは光電面の端部が PMT の時間分解能を悪化させるためである。また、ダイノードにはボックスアンドライン型と呼ばれる構造を採用しており、時間分解能や線形性の面で 20-inch PMT に優れた特性を持つ。光電面カバー率 (検出器球面に対する光電面の割合) は 20-inch PMT で 12%、17-inch PMT で 22%、計 34% である。なお、図 3.3 に PMT の内部構造を参考を示す。

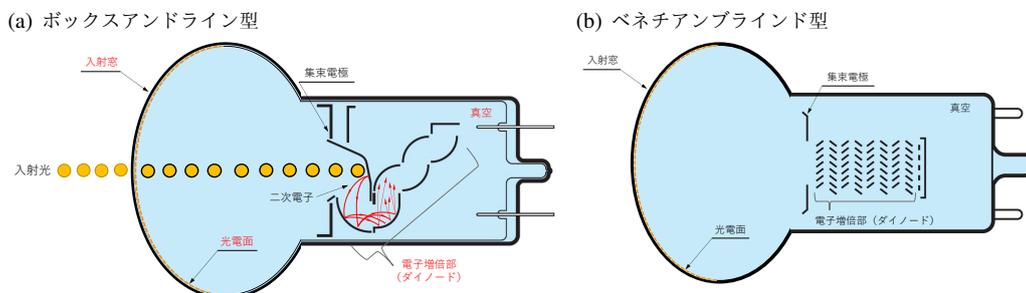


図 3.3 PMT の内部構造 (浜松ホトニクス株式会社編集委員会¹⁴ の図 4-12 を一部編集)

アクリル板

バルーン外部のラドンを遮蔽する役割を持つ。これは、PMT やステンスタックに含まれる微量のウランが崩壊し、ラドンが放出されるためである。

また、PMT・アクリル板・アウターバルーンの間はバッファオイルで満たされている。バッファオイルはアウターバルーンに浮力を与えて保持する役割と、外部からの γ 線が OB 内部の LS へ入射するのを防ぐ役割を持っている。なおバッファオイルの成分はミネラルオイル ($C_{12}H_{26}$) が 52%、イソパラフィン (C_nH_{2n+2} , $n \sim 14$) が 47% という構成になっている。

バルーン部は次のような構成になっている。

アウターバルーン (Outer Balloon, OB)

OB は厚さ 135 μm の 5 層構造のナイロンフィルムで作られており、外側から数えて 1 層目と 5 層目はエチ

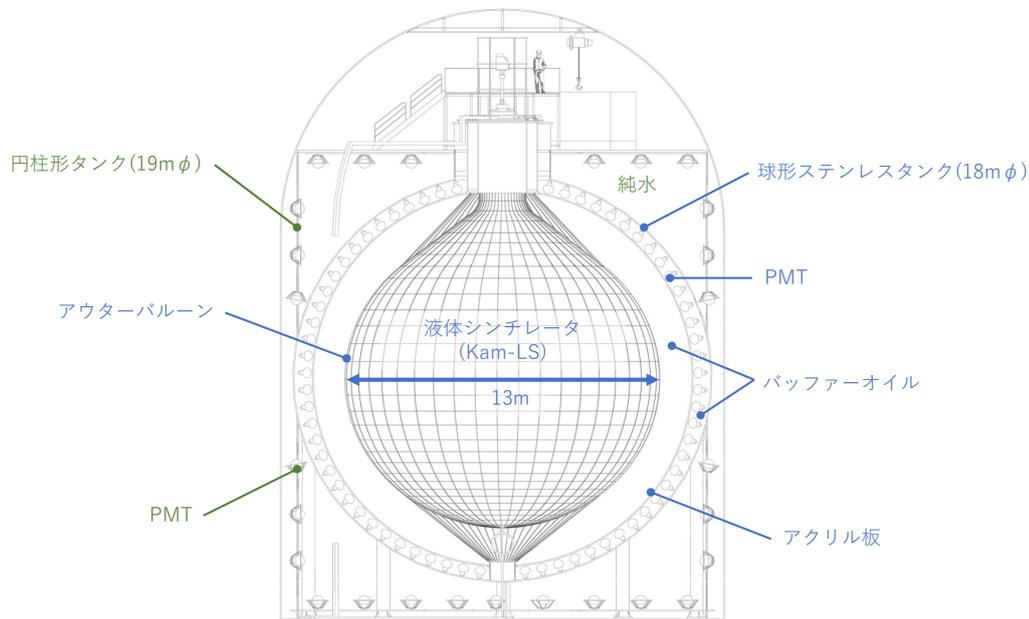


図 3.4 KamLAND の構造

レンービニルアルコール共重合体 (EVOH) 製のフィルム、2 から 4 層はナイロンという構造になっている。EVOH はガスバリア性が高く、ナイロンは光透過度・強度が高いという特徴がある。

液体シンチレータ (Liquid Scintillator, LS)

LS はニュートリノを検出する役割を持つ。成分はドデカン ($C_{12}H_{26}$) が 80%、ブソイドクメン (1,2,4-トリメチルベンゼン) が 20%、発光剤として PPO(2,4-ジオフェニルオキサゾール) が 1.36 g/l という構成になっている。集光量や発光波長での減衰長などのほか、放射性不純物を取り除くための純化が容易であるか・経年劣化しにくいかなども考慮した成分構成になっている。なお、後述する KamLAND-Zen 実験で新たにキセノン溶于した LS が導入されたため、OB 内部の LS は Kam-LS と呼ばれる。

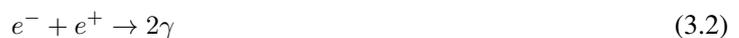
3.1.2 ニュートリノの検出原理

原子炉ニュートリノの検出

KamLAND では反電子ニュートリノを検出するため、主に逆ベータ崩壊反応の遅延同時計測を用いている。まず、反電子ニュートリノは Kam-LS 中の陽子と反応して逆ベータ崩壊反応を起こす。



これにより中性子と陽電子が放出される。このうち陽電子は周囲にある電子と反応して 511 keV の γ 線を二本放出する。この信号を先発信号 (Prompt signal) という。



一方、中性子は周囲の原子核と弾性散乱を繰り返しながら熱中性子となる。最終的には陽子に捕獲され、2.2 MeV の γ 線を放出して重陽子 (d) となる。逆ベータ崩壊から中性子捕獲までの寿命は約 210 μsec であり、陽電子の対消

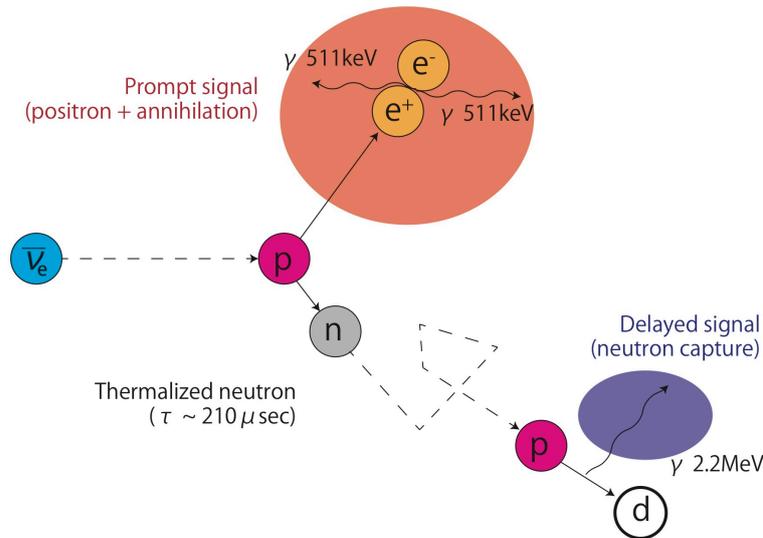


図 3.5 逆ベータ崩壊による反電子ニュートリノの検出

滅による先発信号に対して後発信号 (Delayed signal) と呼ばれる。



以上の反応をまとめたものが図 3.5 である。先発信号と後発信号を遅延同時計測することによって、ニュートリノの反応という少数事象と背景事象を効果的に識別することができる。

太陽ニュートリノの検出

ニュートリノはすべてのフレーバーが電子散乱を起こす。電子散乱によっても LS は発光するため、KamLAND においてもすべてのフレーバーのニュートリノの検出が可能である。ただし、電子ニュートリノおよび反電子ニュートリノは荷電カレント反応によっても電子散乱を起こすため、ミューニュートリノ・タウニュートリノに比べて反応確率が高い。また荷電カレント反応に関して、電子ニュートリノは反電子ニュートリノの二倍弱の反応断面積を持つ。そのため、太陽由来のニュートリノを解析する際に用いられている反応である。ただし、遅延同時計測が利用できる反電子ニュートリノの検出に比べると背景事象の識別が難しくなる。

ニュートリノのその他の検出反応

KamLAND で検出可能な反応には陽子反跳も挙げられる。陽子反跳もすべてのフレーバーのニュートリノが起こす反応である。これは超新星爆発由来のニュートリノの構成比^{*1}およびその時間変化を知るうえで重要となる。なぜならば、陽子反跳はすべてのフレーバーが等しい反応断面積で起こす反応だからである。電子散乱では、電子ニュートリノおよび反電子ニュートリノの反応断面積が他のフレーバーよりも高いため、そのエネルギースペクトルから荷電カレント反応の寄与を差し引く必要がある。¹⁵

3.1.3 キャリブレーション

各 PMT の時間応答や電荷応答は、ケーブル長や PMT 自体の個体差によりばらつきを持つ。KamLAND では各 PMT チャンネルの信号応答を校正するために、低エネルギー領域における物理事象とレーザー光によるキャリブレーションを利用している。

^{*1} ここでいう構成比とは電子ニュートリノおよび反電子ニュートリノと、その他のフレーバーのニュートリノとの比のことをいう

電荷応答の較正

電荷較正の方法は 17-inch PMT と 20-inch PMT で異なる。

17-inch PMT の電荷較正は低エネルギー事象を利用しておこなわれる。低エネルギー事象由来の信号を通常測定で得られたデータから選定し、4 章に示す図 4.1 のような波形のピークをガウス関数でフィッティングすることにより波形データの面積を決定する。波形データの面積は PMT に入射した電荷に相当するため、得られた面積が各 PMT チャンネルの 1p.e. 信号に対応することがわかる。

20-inch PMT の電荷は相対電荷を適用することで補正する。これは 20-inch PMT の電荷分解能が悪く、はっきりとしたピークが得られないためである。なお、相対電荷とは隣接した 8 本の 17-inch PMT の平均電荷で、補正する 20-inch PMT の電荷を割ることにより得られる値である。

時間応答の較正

各 PMT の時間応答とその電荷依存性の較正はレーザー光を用いておこなわれる。レーザー球を KamLAND 中心に挿入し、約 1.2 nsec のパルスで等方的に発光させることで時間応答を測定する。また、レーザー光の強度を変えることで、時間応答の電荷依存性を評価することができる。なお、レーザー光を用いた較正を頻繁におこなうことは難しいため、較正後の時間変動は ^{60}Co を用いたソースキャリブレーションや、 ^{40}K の崩壊事象を利用することで評価している。

エネルギー線形性の較正

物理事象のエネルギーは、すでに述べた各 PMT チャンネルの時間電荷較正に加え、バルーンの影や LS 内での減衰といった効果の補正を加えた上で算出される。こうして得られるエネルギーのことを観測エネルギーと呼ぶ。観測エネルギーの線形性は、宇宙線ミューオンによる原子核破砕由来の中性子捕獲による γ 線や ^{12}B の β 崩壊などを用いておこなわれており、約 14 MeV までは線形であることが確認されている。しかし、14 MeV 以上のエネルギー領域については線形性の確認はおこなわれていない。～ 30 MeV までは宇宙線ミューオンが崩壊することで発生する Michel Electron を利用することで較正が可能だと考えられているが、現行フロントエンド回路のデータ取得性能の限界により困難となっている。

3.1.4 KamLAND 実験の成果

KamLAND 実験では地球ニュートリノ観測をはじめとして多数の成果を出しているが、ここでは KamLAND 実験の主たる結果であるニュートリノ振動の観測実験について述べる。KamLAND 実験の最初の結果¹⁶では、当時定まっていなかった二世代ニュートリノ振動の混合解に対して決定的な制限を与えた。2003 年当時は、物質効果を加味した Δm_{12}^2 と θ_{12} の組み合わせに対して、主に次の 4 つの解があることが知られていた。

- 両パラメータが大きい LMA 解
- LMA 解と同程度の Δm_{12}^2 であるが $\Delta\theta_{12}$ が小さい SMA 解
- Δm_{12}^2 が小さい LOW 解
- 真空中の振動と同様となる VAC 解

これらの解に対して KamLAND は LMA 解にのみ感度を持ち、図 3.6 に示すように、 Δm_{12}^2 と θ_{12} の組み合わせが LMA 解に限られることを特定した。

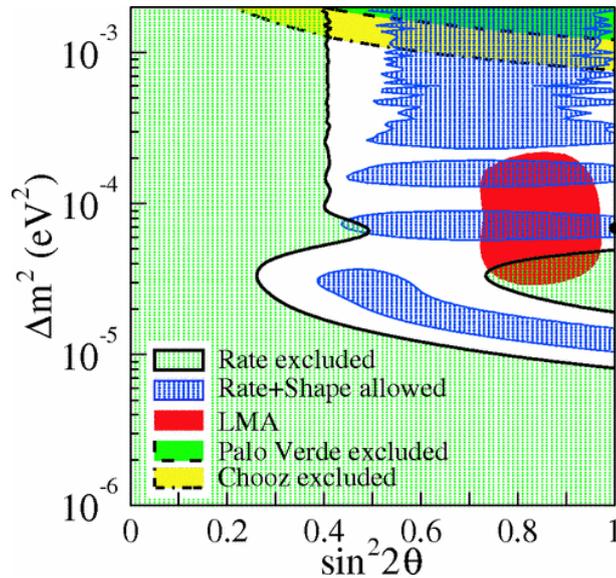


図 3.6 KamLAND 実験によるニュートリノ振動パラメータ領域の特定¹⁶

また、さらにデータを蓄積し、Kam-LS の純化などを行うことで二世代のニュートリノ振動だけでなく三世代のニュートリノ振動が存在することも明らかにした。¹²

3.2 KamLAND-Zen 実験

KamLAND-Zen 実験は $0\nu\beta\beta$ 崩壊の探索を目的とする実験である。KamLAND-Zen 実験では ^{136}Xe を溶解させた LS を満たしたインナーバルーンを KamLAND 内部に導入した。(図 3.7)

インナーバルーン (Inner Balloon, IB)

インナーバルーンは $25\ \mu\text{m}$ 厚のナイロン製フィルムを溶着して貼り合わせた構造になっている。また、背景事象を極限まで抑えるために ^{238}U および ^{232}Th などの放射性物質の混入量を $10^{-12}\ \text{g/g}$ のオーダーまで抑えたフィルムを特注して製作された。

キセノン含有液体シンチレータ

インナーバルーンは ^{136}Xe を濃縮したキセノンガスを溶解した液体シンチレータで満たされている。液体シンチレータの成分構成は、デカンが 82%、プソイドクメンが 18%、PPO が $\sim 2.5\ \text{g/L}$ 、キセノンガスが $\sim 3\%$ となっている。なお、Kam-LS と区別するために Xe-LS と呼ばれる。

KamLAND-Zen 実験は ^{136}Xe を濃縮したキセノンを約 400 kg 使用した KamLAND-Zen 400 実験と、約 800 kg に増量した KamLAND-Zen 800 実験に分かれる。

3.2.1 KamLAND-Zen 400

KamLAND-Zen 400 実験は 2011 年 10 月より開始された。まず、第一フェーズと呼ばれるデータ取得が 2011 年 10 月から 2012 年 7 月にかけて行われ、2013 年 12 月から 2015 年 10 月にかけて第二フェーズと呼ばれるデータ取得が行われた。これは、第一フェーズのデータから ^{136}Xe の $0\nu\beta\beta$ 崩壊の Q 値付近に背景事象由来と考えられるピークの存在が確認されたため、液体シンチレータの入れ替えと蒸留・液液抽出による純化作業が実施されたためである。なお、このピークは本来は自然界に存在しない放射性物質である $^{110\text{m}}\text{Ag}$ によるものであると確認された。

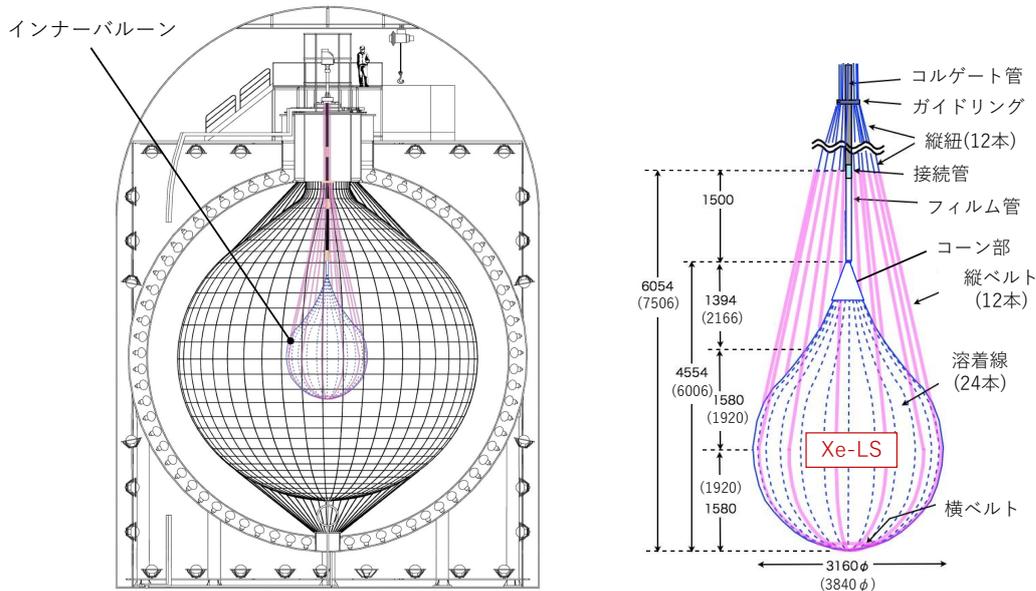


図 3.7 (左)KamLAND-Zen 実験に伴い導入されたインナーバルーン (右) インナーバルーンの詳細
括弧なしの値は KamLAND-Zen 400 実験時の値、括弧つきは KamLAND-Zen 800 時の値である。また、単位
は cm である。値は尾崎¹⁷, Figure 4.13 より引用した。

原因としては、キセノンガスの空輸中に起きた原子核破砕や、2011 年 3 月に発生した福島第一原子力発電所事故で放出された放射性物質によりインナーバルーン汚染された可能性などが考えられている。

第一フェーズのデータと第二フェーズのデータを合わせることにより、 ^{136}Xe における $0\nu\beta\beta$ 崩壊の半減期に対して $T_{1/2}^{0\nu} > 10.7 \times 10^{25} \text{ year}$ という制限¹ を与えた。これは 2020 年 9 月に GERDA 実験の最終結果 $T_{1/2}^{0\nu} > 18 \times 10^{25} \text{ year}$ の制限⁶ が与えられるまで、世界で最も厳しい制限であった。また、式 2.27 より与えられる有効マヨラナ質量 $\langle m_{\beta\beta} \rangle$ については、核行列要素の不定性を考慮したうえで $\langle m_{\beta\beta} \rangle < 61\text{--}165 \text{ meV}$ という制限を与えている。こちらについては、GERDA 実験の最終結果 $\langle m_{\beta\beta} \rangle < 79\text{--}180 \text{ meV}$ を上回る制限を現在も与えている。これにより、1 章の 2.2.2 節で説明したニュートリノの質量階層構造について図 3.8 に示すような制限を与えている。

3.2.2 KamLAND-Zen 800

KamLAND-Zen 800 実験に向けての準備は 2015 年から開始された。2016 年の 8 月には製作されたインナーバルーンが導入されたが、Dummy-LS でインナーバルーンを膨らませた際に、インナーバルーンから漏出していることが疑われた。そのため、Xe-LS を導入することなく同年の 11 月に KamLAND から取り出された。これに伴い、2017 年の春から新たにインナーバルーン製作を開始した。KamLAND-Zen 800 でのインナーバルーンは Zen 400 と比較して約二倍の容量となっている。また、バルーンの表面汚染をより低減するためにバルーンの製作をするクリーンルームと、製作に使用する器具の洗浄などといったバルーン製作に比べて汚染度の高い作業を行うクリーンルームを分けるなどの製作手法の改善をおこなった。このバルーンの製作は 2018 年の春に完了し、KamLAND に導入された。

導入されたインナーバルーンからは有意な漏出は確認されなかったため、KamLAND-Zen 400 実験と同様に純化作業を行った後、Xe-LS が導入された。2019 年の 1 月にはデータの取得が開始され、現在データの取得と解析が進められている。なお、Kam-LS 中のキセノン量の測定からも、インナーバルーンからの Xe-LS の有意な漏出

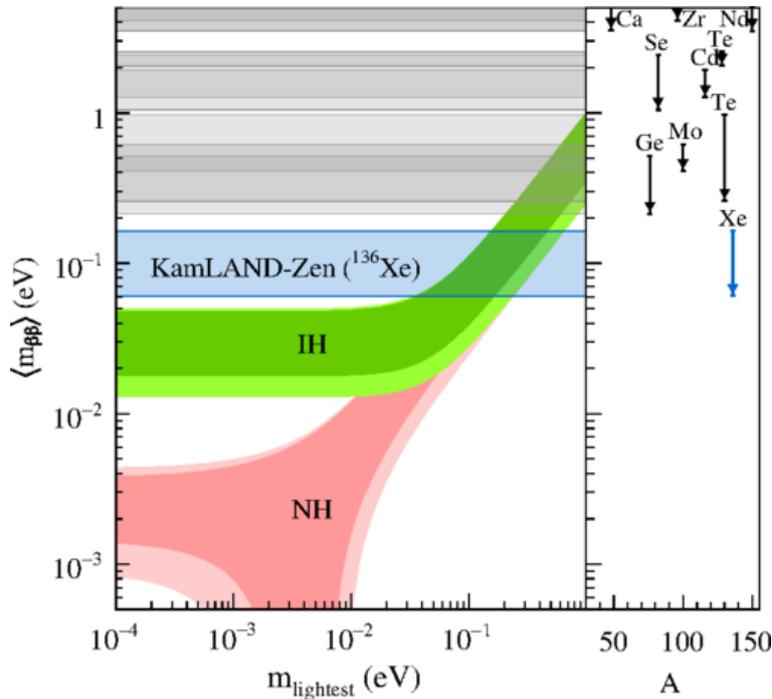


図 3.8 ニュートリノの有効マヨラナ質量と最も軽いニュートリノの質量の関係に関する KamLAND-Zen400 による結果¹。青色の帯が KamLAND-Zen 400 実験による探索範囲である。図中右側は探索に用いられる原子核の質量数 A と、それぞれの原子核による有効マヨラナ質量が探索された範囲を示している。

は確認されていない。

3.2.3 KamLAND-Zen 実験における主な背景事象

宇宙線ミューオンによる原子核破砕や、バルーン製造時の汚染など、発生を防ぐことが現実的に困難な事象が原因である背景事象が存在する。その中で、特に $0\nu\beta\beta$ 崩壊のエネルギースペクトルと重複する部分を持つ背景事象について述べる。

^{136}Xe の $2\nu\beta\beta$ 崩壊

すでに述べたように、 $2\nu\beta\beta$ 崩壊により放出される電子の運動エネルギーの和は連続スペクトルとなる一方、 $0\nu\beta\beta$ 崩壊では理想的には線スペクトルとなる。だが、実際には検出器のエネルギー分解能により、 $0\nu\beta\beta$ 崩壊由来の電子のエネルギースペクトルも幅を持ち、 $2\nu\beta\beta$ 崩壊のエネルギースペクトルと重なる部分が表れる。このとき、 $0\nu\beta\beta$ 崩壊に対して $2\nu\beta\beta$ 崩壊が背景事象となる割合は次の式であらわされる。¹⁸

$$\frac{S}{B} \propto \left(\frac{Q}{\Delta E} \right)^6 \frac{T_{1/2}^{2\nu}}{T_{1/2}^{0\nu}} \quad (3.4)$$

ここで、 S は $0\nu\beta\beta$ 崩壊と判別できる信号数、 B はその際の背景事象となる $2\nu\beta\beta$ 崩壊の信号数、 Q は $0\nu\beta\beta$ 崩壊の Q 値、 ΔE は $0\nu\beta\beta$ 崩壊由来の電子のエネルギースペクトルの FWHM である。この式から、 $T_{1/2}^{0\nu}$ が非常に長い場合、 $0\nu\beta\beta$ 崩壊事象は $2\nu\beta\beta$ 崩壊事象に埋もれてしまうことがわかる。

宇宙線ミューオンによる原子核破砕由来の不安定核崩壊事象

KamLAND に入射したミューオンは液体シンチレータ中で原子核破砕事象を引き起こし、様々な不安定核を発生させる。これら不安定核が崩壊する際に放出する β 線や γ 線が背景事象となる。

- ^{10}C 原子核の β^+ 崩壊

液体シンチレータ中の ^{12}C 原子核を破碎することによって生じる ^{10}C 原子核は、 Q 値が 3.65 MeV の β^+ 崩壊を起こすため、 $0\nu\beta\beta$ 崩壊探索の背景事象となる。

^{10}C 原子核は生成過程の殆どで中性子を伴うため、ミューオン信号、その際に生成した中性子の捕獲信号、そして ^{10}C 自体の崩壊事象を遅延同時計測することで、効率よく識別することができる。

なお、同様の手法で太陽ニュートリノ観測の背景事象となる ^{11}C 原子核の崩壊も効率よく識別することができる。

- 長寿命不安定核の崩壊

Xe-LS に含まれる Xe 原子核をミューオンが破碎することによって、半減期が数百秒から数日にわたる多種多様な不安定核が生じる。これら長寿命不安定核の崩壊が $0\nu\beta\beta$ 崩壊探索の背景事象となる。

長寿命不安定核を生む Xe 原子核破碎は、多数の中性子を同時に生成する。そのため、同時に生成された中性子の数から長寿命不安定核の生成を見積もることができる。

インナーバルーン内側表面で発生する ^{214}Bi の ^{214}Po への β 崩壊

インナーバルーン表面には、製造時にわずかながら ^{238}U が付着する。この ^{238}U に由来する ^{214}Bi の β 崩壊は、 Q 値として 3.27 MeV を持ち、 $0\nu\beta\beta$ 崩壊の背景事象となる。 ^{214}Bi の β 崩壊事象は、 ^{214}Po が 164 μsec で α 崩壊する $^{214}\text{Bi} - ^{214}\text{Po}$ 連続崩壊事象を遅延同時計測で検出することで判別できる。だが、この崩壊がインナーバルーン内部で発生した場合、 ^{214}Po の崩壊による α 線がバルーンに吸収されてしまい、遅延同時計測では検出できないという問題がある。そのため、 $0\nu\beta\beta$ 崩壊探索の解析に使用する領域をインナーバルーン中心部のみに絞ることで対応している。

3.3 KamLAND2 実験

将来計画として、KamLAND に大幅な改良を施し、KamLAND2 として使用する KamLAND2 実験が計画されている。この改良は前述した背景事象の $0\nu\beta\beta$ 崩壊探索への影響を低減させることを目的としている。

まず、エネルギー分解能の向上である。エネルギー分解能である $\Delta E/Q$ を向上させれば、式 3.4 により、 $2\nu\beta\beta$ 崩壊による S/B を劇的に改善することができるためである。KamLAND のエネルギー分解能は ^{136}Xe の $0\nu\beta\beta$ 崩壊 Q 値付近で 4.2% である。これを以下のアップグレードにより約 2% まで向上させることを予定している。

高量子効率 20-inch PMT の導入

光電面に入射した光子の光電子への変換効率の高い PMT を導入する。これにより、同量の入射光量でも波高の大きい信号波形を得られることになり、イベントの検出効率が向上する。また、17-inch PMT から有効光電面が増大するといった面でも改良が見込まれており、トータルでの集光量も増加する。候補として浜松ホトニクス製 R12860 HQE がある。

大発光量 LS の使用

エネルギー当たりの発光量が高い LS を導入する。また、透過率も改良することで集光量を増加させる。候補となる溶媒にはリニアアルキルベンゼンがある。

PMT への集光ミラーの実装

PMT へ集光ミラーを実装することにより、実効的な光電面被覆率を増大させる。光電面被覆率とは、検出器の表面積に対する光電面の割合である。集光ミラーを実装することで、PMT 単体では入射することのない光子を光電面へ誘導することができる。

以上の改良により、KamLAND2-Zen 実験での到達感度は図 3.9 の範囲に到達すると期待される。

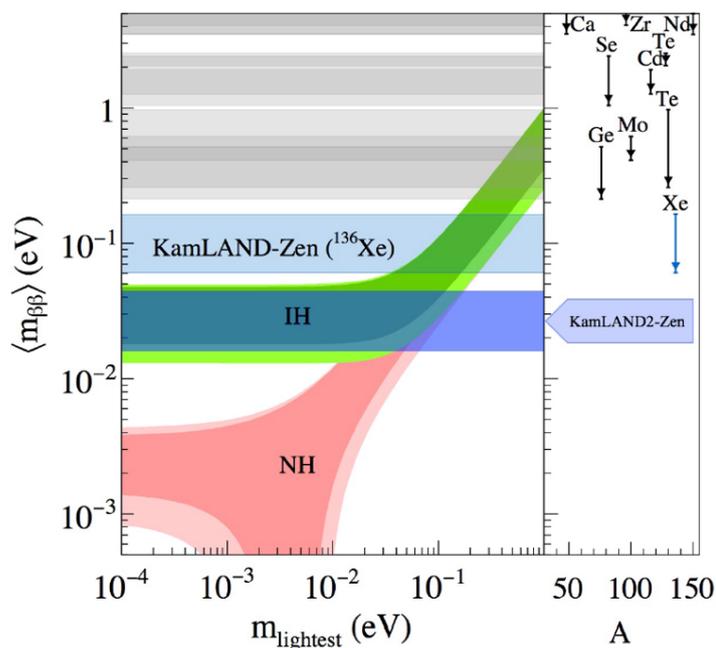


図 3.9 エネルギー分解能の向上による KamLAND2-Zen での到達感度目標¹⁹

またエネルギー分解能の向上の他に、シンチレーションバルーンをインナーバルーンとして採用することで、バルーン内側表面の ^{214}Bi の β 崩壊事象を検出することが考えられている。シンチレーションバルーンとは、 α 線などにより発光する素材で構成されるバルーンである。このバルーンを導入することにより、バルーン内部で ^{214}Po 崩壊が発生した場合も、 α 線を吸収してバルーンが発光する。この発光と β 崩壊を遅延同時計測することで、バルーン表面の ^{214}Bi の β 崩壊事象を検出することができる。これにより、インナーバルーン全体を解析に使用することができると考えられる。加えて、データ収集システムの改良により中性子捕獲事象の検出効率を向上させ、 ^{10}C 原子核だけでなく長寿命不安定核のタギング効率を改善することも期待されている。

第 4 章

データ収集システム

この章では KamLAND の PMT 出力信号の特性と、それら信号を取得するために現在使用されている二つのデータ収集システムについて述べる。

4.1 信号波形の特性

KamLAND の PMT 信号からの出力信号は大きく分けて二種類の信号に分けられる。1 つが、1 光電子信号に代表される低エネルギー事象由来の信号 (以下、1p.e. 信号と呼ぶ)、一方がミューオン信号である。1p.e. 信号は後述するように物理事象以外の信号も含まれている。また、ミューオン信号後に発生する核破砕由来の中性子捕獲による信号は $0\nu\beta\beta$ 崩壊事象の背景事象となる。

4.1.1 1p.e. 信号

KamLAND における信号のほとんどは 1p.e. 信号である。物理事象以外も含めた場合のレートは数 10 kHz から 200 kHz 程度である。非物理事象由来の信号をダークノイズと呼ぶ。図 4.1 は典型的な 1p.e. 信号波形である。その波高は数 mV・幅は 100 nsec 程度となる。また、その周波数成分は図 4.2 に示すように、68MHz までの周波数成分が全体の 99% を占める。したがって現行フロントエンド回路はこの周波数帯域を取得できるように設計されている。

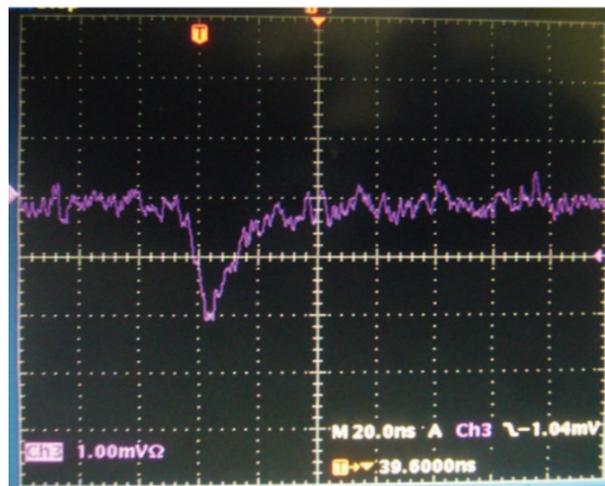


図 4.1 典型的な 1p.e. 信号。竹本²⁰より引用。グリッドは横軸が 20 nsec 間隔、縦軸が 1 mV 間隔である。

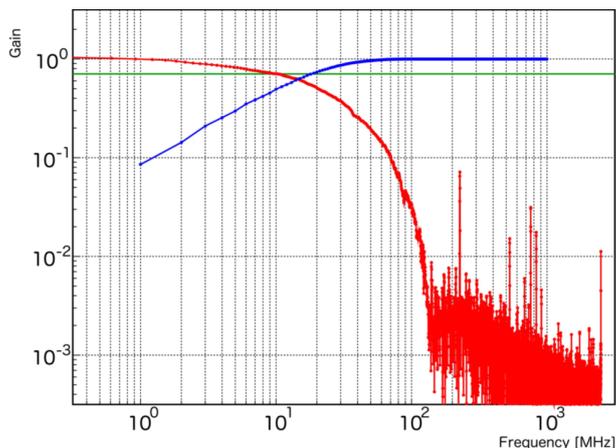


図 4.2 平均化した 1 p.e. 信号の周波数成分。竹本²⁰より引用・赤色実線が 1MHz の周波数成分の信号強度を基準にした周波数分布、緑色実線が-3dB、青色実線がその周波数までのエネルギーの割合である。

4.1.2 ミューオン信号

図 4.3 に典型的なミューオン信号を示す。ミューオン信号の信号レートはおおよそ 0.2 Hz 程度であるため、1 p.e. 信号に比べると非常に少ない。その波高は最大 8 V、幅は数百 nsec 程度である。加えて特徴的であるのが、信号直後に生じるオーバシュートとアフターパルス(図 4.8)である。これについては後述する。

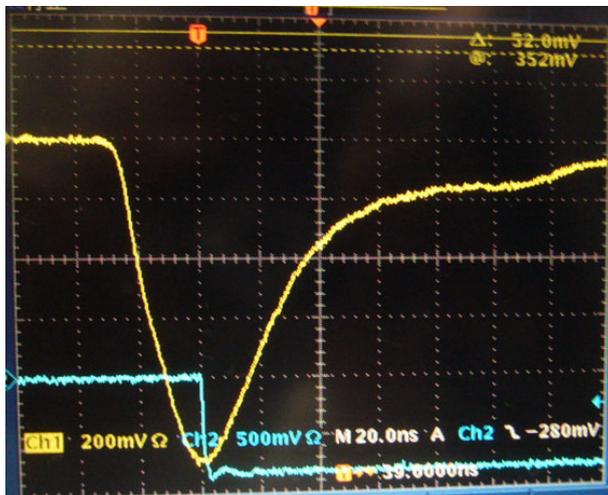


図 4.3 典型的なミューオン信号(竹本²⁰より引用)。グリッドは横軸が 20 μ sec 間隔、縦軸が 200 mV 間隔である。

4.2 KamLAND のデータ取得システム

KamLAND では KamDAQ と MoGURA DAQ と呼ばれる二系統の DAQ システムを使用している。KamDAQ は KamLAND 完成当初(2001 年 1 月)から使用されている DAQ システムである。一方の MoGURA DAQ は、KamDAQ のフロントエンド回路である KamFEE の課題であったミューオン信号後のデッドタイム問題を解決するために、MoGURA と呼ばれるフロントエンド回路とともに 2010 年に導入された DAQ システムである。これら DAQ システムの構成を図 4.4 に示す。

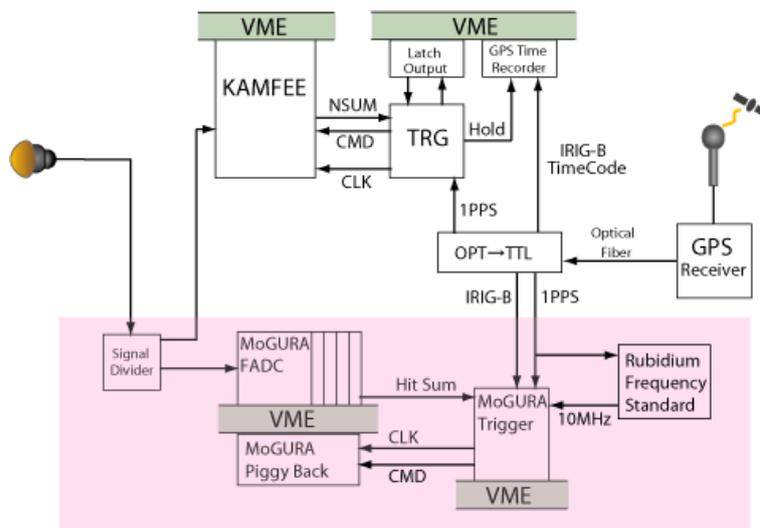


図 4.4 KamLAND の DAQ システム。図中、白背景部分が KamDAQ、薄赤色部分が MoGURA DAQ である。

4.2.1 KamDAQ

KamDAQ は KamFEE と呼ばれるフロントエンド回路 200 ボードと、トリガ回路および GPS レシーバー、そして DAQ コンピュータにより構成されている。KamDAQ における通常のデータ取得は次のようにおこなわれる。

1. KamFEE の各チャンネルの PMT 信号の波高に対し、ディスクリミネータがアナログ的にしきい値判定をおこなう。これを hit 判定と呼ぶ。この間、Analog Transient Waveform Digitizer(ATWD) は各ゲインチャンネルの信号をキャパシタアレイを使用してアナログ信号のまま保持している。
2. KamFEE 上で hit 判定の和を計算し、ヒット情報としてトリガ回路へと送る。
3. トリガ回路が KamFEE のヒット情報に基づいてデータ取得コマンドを各 KamFEE へ送信する。
4. データ取得コマンドに基づき、各 KamFEE で ATWD がキャパシタアレイに保存していた波形をデジタイズする。このデジタイズは複数あるゲインチャンネルのうち H ゲインからおこなわれ、デジタイザのダイナミックレンジを超えていた場合のみ、より低い増幅率のゲインチャンネルのでデジタイズがおこなわれる。
5. デジタイズされたデータは KamFEE 上のメモリに保存される。保存されたデータから順に VME バスを介してフロントエンド PC にデータが送信される。
6. フロントエンド PC からスイッチングハブを経由してデータストレージ PC にデータが保存される。

以後は KamDAQ を構成する主要要素について述べていく。

KamFEE

KamFEE は 1 ボードにつき 12 チャンネルを持っており、ATWD により PMT 信号のデジタイズがおこなわれる。また、各チャンネルが H ゲイン、M ゲイン、L ゲインの 3 つゲインチャンネルを持つ。それぞれの増幅率は順に 20 倍、4 倍、0.5 倍である。取得するデータ長は変更できるが、現在は 192 nsec という設定になっている。図 4.5 に KamFEE ボードの写真と、各チャンネルの動作模式図を示す。また、DAQ コンピュータへのデータ転送は VME バス経由でおこなわれる。

(a) KamFEE ボードの写真



(b) KamFEE ボードの各チャンネルの動作模式図

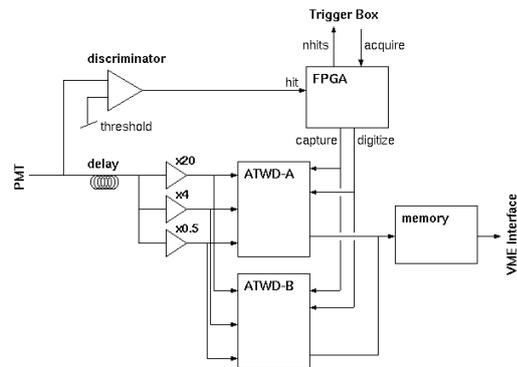


図 4.5 KamFEE ボード

トリガ回路

トリガ回路の動作模式図を図 4.6 に示す。トリガ回路はデータ取得コマンドの発行だけでなく、発行したデータ取得コマンドの情報を VME バス経由で DAQ コンピュータへ送信する機能や、時刻と PMT のヒット数のみを記録する History トリガといった機能をもっている。

(a) トリガ回路²¹

(b) トリガ回路の動作模式図

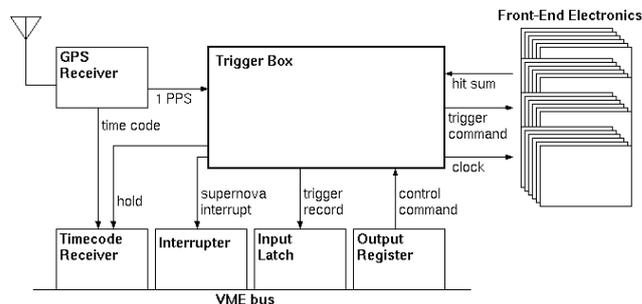


図 4.6 KamDAQ のトリガ回路とその動作模式図

DAQ コンピュータ

KamDAQ の DAQ コンピュータは、KamFEE ボードからのデータ取得を担うフロントエンド PC と、オンライン解析などを担うバックエンド PC からなる。バックエンド PC は、オンライン解析用の PC、データストレージ用の PC、そしてシステムコントロール用の PC からなる。各 PC は 100BASE-T イーサネットで接続されている。ただし、フロントエンド PC と KamFEE は光ファイバーにより接続されている。これは、イーサネットケーブルで接続した際に、PC 側のノイズがイーサネットケーブルを経由して KamFEE のアナログ系に影響を与えるのを避けるためである。DAQ コンピュータのネットワーク構成を図 4.7 に示す。

4.2.2 KamFEE のミューオン信号後のデッドタイム問題

ミューオン信号後には、KamFEE には約 1 msec 程のデッドタイムが生じる。このデッドタイムはミューオン信号直後のオーバーシュートとアフターパルスにより引き起こされる。

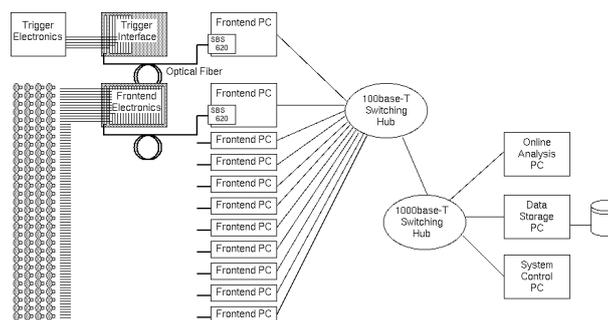
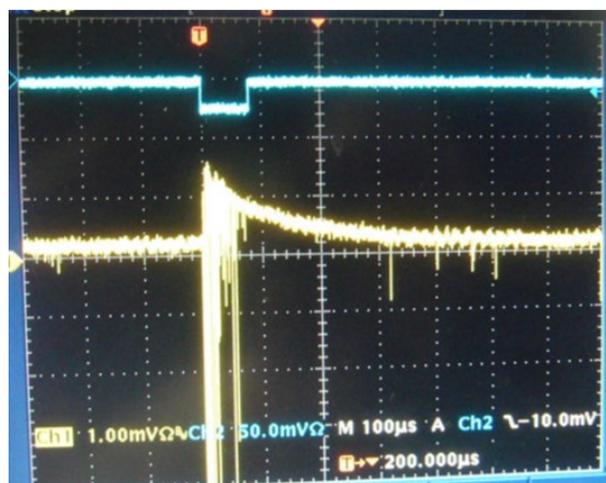


図 4.7 KamDAQ における DAQ コンピュータネットワーク

オーバーシュートとアフターパルス

図 4.8 ミューオン信号のオーバーシュートとアフターパルス²⁰。信号直後にオーバーシュートが発生し、その間にアフターパルスによる小信号が大量に現れている。

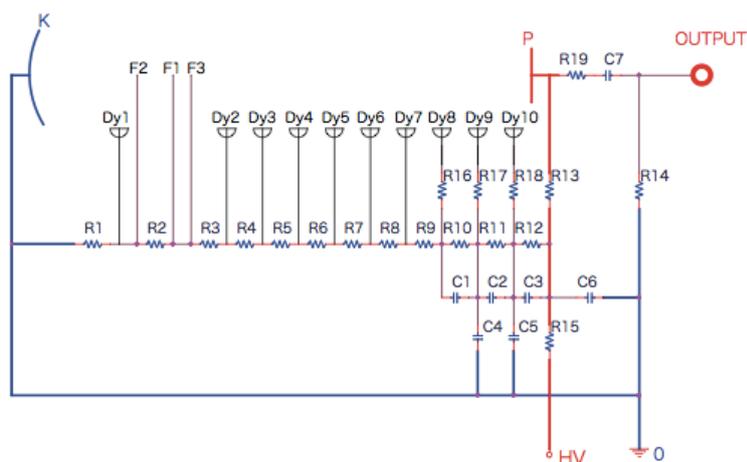
オーバーシュートは PMT のブリーダ回路の出力段が AC 結合されているために生じるものである。ブリーダ回路とは、図 4.9 に示すように PMT の各ダイノード (Dy1 から Dy10) に電圧を供給する回路である。オーバーシュートの主な原因はこの回路の出力 (OUTPUT) 直前にあるカップリングコンデンサ (C7) である。通常は、PMT に光子が入射すると陽極からダイノードへ流れる電流 (陽極電流) が流れ、負荷抵抗 (R14) に負電圧を作る。これを出力 (OUTPUT) から取り出すことで PMT 信号が得られる。だが、ミューオンのような大光量信号が PMT に入射すると、大量の陽極電流が流れ C7 が充電される。そして、陽極電流が 0 になった後は C7 の放電が始まり、放電が終わるまで C7 からグランドへ流れる電流により R14 に正電圧が生じる。これがオーバーシュートの正体である。

一方、アフターパルスにはミューオン信号後、速く現れる成分 (速い成分) と遅れて現れる成分 (遅い成分) が存在する。速い成分は主に光電面に最も近いダイノードでの弾性散乱電子により生じる。一方、遅い成分は PMT 内部の残留ガスが電子によりイオン化されることによって生じる。

KamFEE のミューオン信号のデッドタイム

ミューオン信号直後のオーバーシュートとアフターパルスによって次のようにデッドタイムが生じる。

1. オーバーシュートによりディスクリミネータのしきい値を下回り、トリガが発行されない期間が生じる。

図 4.9 17-inch PMT のブリーダ回路²²

2. アフターパルスにより連続でトリガが発行されデジタイズにかかるデッドタイムが無視できなくなる。

オーバーシュートはブリーダ回路が原因であるが、デジタイズによるデッドタイムは KamFEE の仕様上の問題である。ATWD は 192 nsec のデジタイズに 25 μ sec 程度を要するため、もともと十数 μ sec のデッドタイムが存在している。このデッドタイムを最小化するため、KamFEE には図 4.5 のように 2 つの ATWD を各チャンネルに持ち、片方がデジタイズしている間はもう一方が動作するような仕組みとなっていた。しかし、アフターパルスのレートは数 MHz に達するため、2 つの ATWD でもデジタイズが間に合わず、デッドタイムが生じる。

これは太陽ニュートリノ観測や $0\nu\beta\beta$ 崩壊探索では大きな問題となる。このデッドタイムにより中性子捕獲事象を検出できないため、3.2.3 節で述べたような手法で ^{10}C や ^{11}C の崩壊を解析的に取り除くことが困難になるためである。この問題を解決するために開発された DAQ システムが、MoGURA DAQ である。

4.2.3 MoGURA DAQ

MoGURA DAQ は 2010 年に導入された DAQ システムであり、ベースライン回復回路 (Baseline restorer, BLR 回路) の導入・デジタイズへの Flash ADC (FADC) の使用・ミューオン後の中性子捕獲事象の検出に最適化されたデータ取得補手法である Adaptive Trigger により、KamFEE では難しかったミューオン信号後の中性子捕獲事象の検出を可能にした。MoGURA DAQ は PMT 信号ラインと GPS レシーバー以外は、KamDAQ から独立した DAQ システムだが、基本的な構成は KamDAQ を踏襲している。ただし、トリガ回路からのコマンド分配用に MoGURA Piggy-Back と呼ばれる回路が追加されている。

MoGURA DAQ での通常のデータ取得は次のようにおこなわれる。

1. MoGURA の Front End FPGA 上でデジタル的に Hit 判定をおこなう。
2. MoGURA の System FPGA でヒット判定の和を計算し、ヒット情報としてトリガ回路へと送る。これを HitSum と呼ぶ。
3. 各 MoGURA の HitSum 信号をデジチェーン方式で加算していき、最終的にトリガ回路である MoGURA Trigger に入力される。なお、加算時には Hit Latency と呼ばれるディレイを各ボードに挿入することで同時刻のヒットによる HitSum を計算している。
4. 一定期間の HitSum の和をとり、この値に基づいて MoGURA Trigger がデータ取得コマンドを発行、各ボードに分配される。この一定期間のことを Hit Window、Hit Window 間の和のことを NHit と呼ぶ。さら

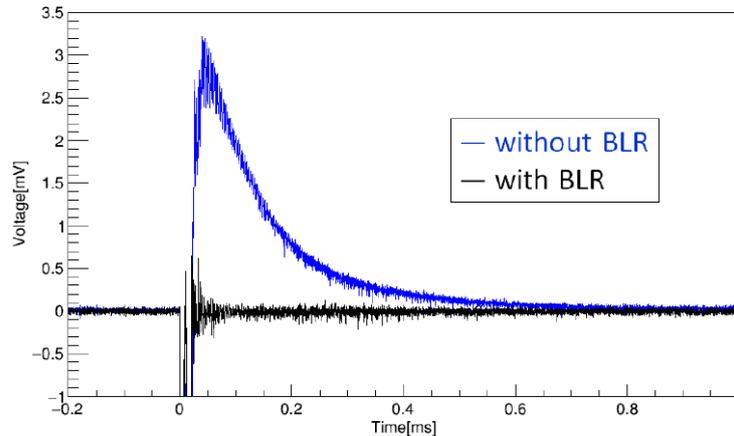


図 4.10 BLR 回路の有無によるオーバーシュートの違い。本田²³ 修論図 3.13 より引用。

に、データ取得コマンドが発行されてから一定期間はデータ取得コマンドが発行されない。この期間を **Trg Window** と呼ぶ。

5. データ取得コマンドに従って各 MoGURA の Front End FPGA 上でタイムスタンプと波形データからなるデータフレームを生成する。
6. MoGURA の System FPGA がデータフレームからフレームトレインを生成、DDR SDRAM にバッファリングする。
7. バッファリングされたフレームトレインが順に VME バスを使用して DAQ コンピュータへ転送される。

以後、MoGURA DAQ の主要な要素について述べる。

BLR 回路

BLR 回路はその名の通り、ベースラインを通常状態に回復させるためのアナログ回路である。これはミューオン信号のオーバーシュートを抑制することを目的として開発された。詳細については竹本²⁰にあるため、ここでは動作原理のみを示す。

1. 信号を 2 つに分岐する。一方を信号 1、もう一方を信号 2 とする。
2. 信号 1 の負の電圧領域をカットし、正の電圧領域のみを抽出
3. カットにより信号 1 に生じた高周波成分を平均化するため、ローパスフィルタにより低周波成分を抽出。これをベースライン信号とする。
4. 信号 2 からベースライン信号を差し引く。

オペアンプとダイオードを用いることで、以上をすべてアナログ回路により高速に実行するのが BLR 回路である。図 4.10 に BLR 回路の有無によるオーバーシュートの違いを示す。オーバーシュートが大きく低減されているのが確認できる。

MoGURA

図 4.11 に MoGURA とその動作模式図を示す。MoGURA は Module for General-Use Rapid Application の略であり、デッドタイムフリーなデータ取得の実現に主眼を置いて開発されたフロントエンド回路である。KamFEE と同様に、MoGURA も 1 ボードに 12 チャンネルを備えている。また、システムクロックは 50 MHz を使用して

(a) MoGURA ボードの写真



(b) MoGURA ボードのチャンネルの動作模式図

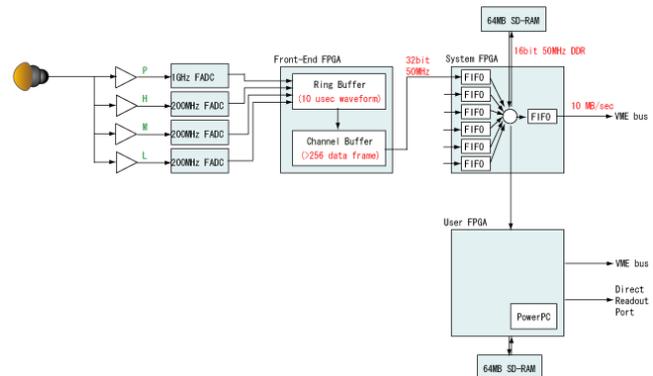


図 4.11 MoGURA ボード

おり、トリガ回路である MoGURA Trigger から供給される。PMT 信号のデジタル化にかかる時間が KamFEE におけるデッドタイム要因となっていたため、MoGURA では Flash ADC(Flash Analog Digital Converter) を使用している。FADC はデジタル化にその駆動クロックの 1 周期分の時間しか必要としない。そのため、ATWD で使用しているランプ型の ADC に比べ、圧倒的に高速なデジタル化が実現でき、この点によるデッドタイムは存在しない。また、MoGURA は広いダイナミックレンジと高い電圧分解能を実現するため、P ゲイン、H ゲイン、M ゲイン、L ゲインの 4 種類のゲインチャンネルを各チャンネルに持つ。すべてのゲインチャンネルで FADC を使用しているが、サンプリングレートは P ゲインと H・M・L ゲインで異なり、それぞれ 1 Gsps と 200 Msps のサンプリングレートである。各ゲインの増幅率等については 5 章にて述べるため、省略する。

また、MoGURA には Front End FPGA と呼ばれる FPGA が 6 つと、System FPGA と呼ばれる FPGA が 1 つ搭載されている。それぞれについて簡単に述べる。

• Front End FPGA

1 つの Front End FPGA で 2 チャンネルを担当する。Front End FPGA では、FADC によりデジタル化されたデータのバッファリング、ヒット判定、データフレームの生成およびコマンドに応じた System FPGA へのデータフレームの転送をおこなう。Front End FPGA でのバッファは波形データ用のバッファとデータフレーム用のバッファの二種類があり、波形データのバッファサイズは 250 KB である。これは時間にして 10 μ sec までの波形データを保持することができる。

• System FPGA

System FPGA ではトリガ回路からのコマンドに応じて Front End FPGA からデータフレームを読み出し、ボード上の DDR SDRAM に保存する、または VME バス経由でデータを転送する役割を持つ。なお、DDR SDRAM のサイズは 64 MB である。

MoGURA Trigger

図 4.12 の MoGURA Trigger ボードを示す。KamDAQ のトリガ回路と同様に、MoGURA Trigger はフロントエンド回路へデータ取得コマンドを送る役目を持つ。このデータ取得コマンドはコマンドとコマンドフラグから成る。コマンドには以下の 2 種類がある。

図 4.12 MoGURA Trigger ボード²¹

- **Acquire-Range**

データ取得コマンドが発行されてからの一定期間の全データを取得するコマンドである。この一定期間は Event Window と呼ばれる。

- **Acquire-Hit**

Acquire-Range で取得する波形データの内、しきい値を下回っている期間やサチレーションを起こしている波形データをカットする機能を加えたコマンドである。この機能をゼロサプレッションと呼ぶ。なお、カットされた波形データの代わりに、データ取得コマンドが発行されてからの時間が記録される。これを LaunchOffset という。

通常は Acquire-Hit モードでデータ取得が行われる。なお、既に述べた Event Window や、ヒット判定をおこなうしきい値^{*1}などは、MoGURA ボードごとにトリガ回路を介さずに設定することができる。また、コマンドフラグに関しても主要なものを次に示す。

- **Single Trigger**

最も基本的なフラグ。NHit の値がしきい値を超えた場合にトリガーコマンドを発行する。このしきい値は Single Threshold と呼ばれる。

- **Prescaled Trigger**

等間隔にデータ取得コマンドの発行を間引くことで、意図的にトリガーレートを落とすフラグ。具体的には Hit Window を連続ではなく、一定間隔あけることで実現している。

- **Launch Trigger**

Single Trigger よりも NHit が高いしきい値で発行されるフラグ。ミューオン信号などの大光量イベントを対象としている。

- **Adaptive Trigger**

Launch Trigger が発行された後に 1 msec の間有効になるフラグ。この間は Single Trigger および Launch Trigger は発行されない。これはミューオン信号後の中性子捕獲事象をターゲットとしたトリガー²²である。

^{*1} 取得開始のしきい値を Start Threshold、取得終了のしきい値を Stop Threshold と呼ぶ。Start Threshold を超えて Stop Threshold を下回った部分が取得される。

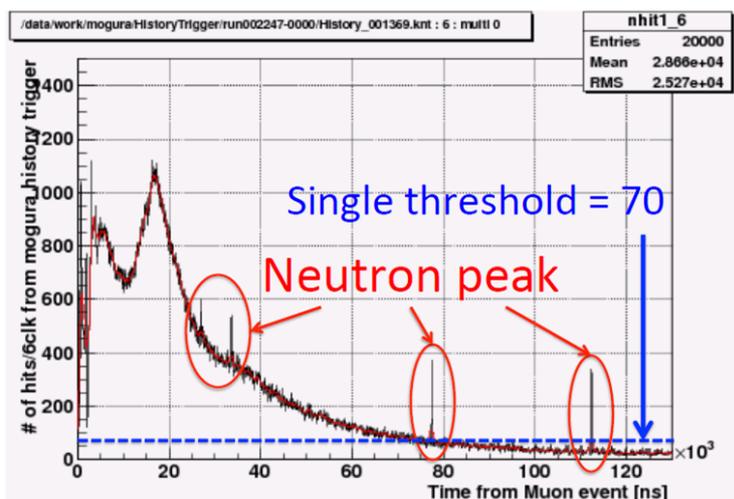


図 4.13 ミューオン信号後の NHit 分布²²

図 4.13 に示すように、ミューオン信号後の NHit 分布の中には中性子捕獲事象によるピークが見られる。Adaptive Trigger はこの NHit の増加分を検知してデータ取得コマンドを発行する。

• Successive Trigger

Launch Trigger 後の数 μsec の間有効になり、Acquire-Range コマンドを発行することでベースライン変動によってヒットしない期間を強制的に取得する。現在は Adaptive Trigger が実装されているため使用されていない。そのため、ミューオン信号直後の波形データは取得が困難である。これにより、ミューオン信号直後の中性子捕獲事象やミューオンの寿命 ($2.2 \mu\text{sec}$ 程度) で放出される Michel electron の検出が難しくなっている。

4.3 KamLAND2 実験におけるデータ取得システム

現在、新型フロントエンド回路の開発と並行して、KamLAND2 実験に向けた新型 DAQ システムの開発が進められている。新型 DAQ システムでは、KamDAQ および MoGURA DAQ と異なりトリガ回路を使用しない。その代わりに、トリガー処理用のコンピュータを使用してソフトウェア的に物理事象判定を行う。これを「ソフトウェアトリガー」と呼ぶ。現段階で構想されている DAQ システムを図 4.14 に示す。フロントエンド回路から DAQ コンピュータへは、ヒットしたデータフレームが転送される。このデータフレームは PMT の ID・タイムスタンプ・電荷情報などを格納したヘッダ・フッタと、波形データから成る。KamDAQ や MoGURA DAQ と異なる点は、物理事象か非物理事象かに関係なくすべてのヒット判定に対してデータフレームが生成され、読み出しコンピュータに転送される点である。このデータ転送は光ファイバーを使った 10 ギガビット・イーサネット (以後、10GbE) にておこなわれる。まず、光ファイバーを使用する理由はアナログ回路への影響を抑えるためである。光ファイバーを用いることにより、フロントエンド回路のアナログ部分を DAQ から電気的に分離できる。これにより、DAQ コンピュータが発する電気ノイズのアナログ回路への影響を抑えることが期待される。また、10GbE を使用する理由は 1 ギガビット・イーサネット (以後、1GbE) では帯域が不十分だと考えられるためである。次章で述べるように、1 ボードあたりのデータレートは約 640 Mbps 程度であり、数値的には 1GbE でも十分に思える。しかし、DAQ との通信は TCP/IP を用いることを想定しているため、実際の帯域は 1 Gbps 近くになってしまう。そのため、新型 DAQ システムでは帯域に余裕ができる 10GbE の使用を想定している。

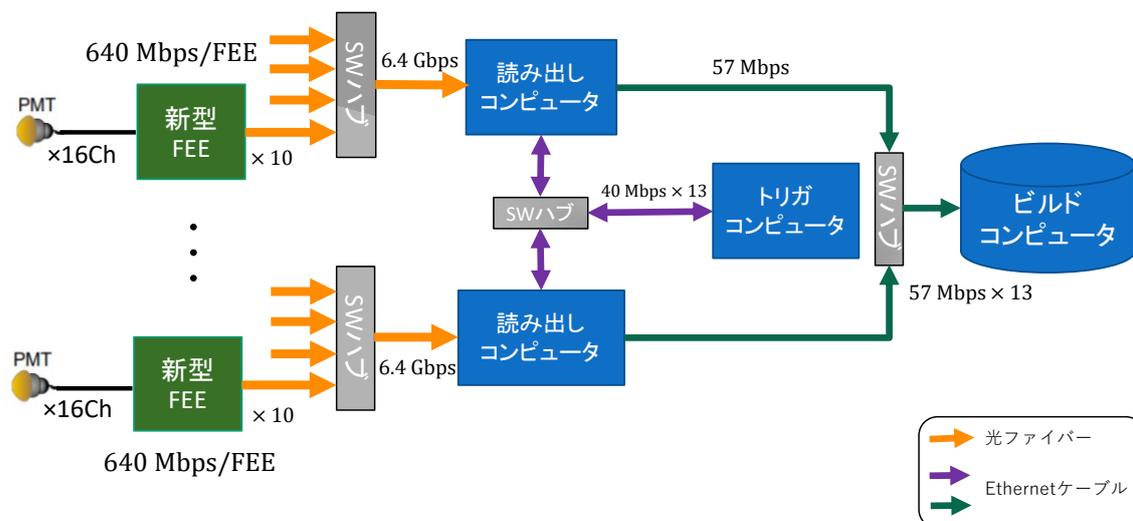


図 4.14 新型 DAQ システムの構成図

最後に、現段階で想定されている新型 DAQ システムによるデータ取得の流れを次にまとめておく。フロントエンド回路からのデータは一時的に読み出しコンピュータに保存され、ヘッダとフッタのみがトリガコンピュータに転送される。そしてトリガコンピュータにて物理事象かどうかの判定をおこない、データ取得コマンドを読み出しコンピュータに発行する。データ取得コマンドを受け取った読み出しコンピュータは該当するデータフレームをビルドコンピュータに転送する。ビルドコンピュータでは、受け取ったデータフレームから解析に使用するデータフォーマットに基づいたファイルを生成、データストレージに保存する。

第 5 章

新型フロントエンド回路開発

本章では KamLAND2 実験に向けた新型フロントエンド回路開発全般について述べる。

5.1 新型フロントエンド回路への要請

新型フロントエンド回路のデータ取得には新型 DAQ システムと現行の MoGURA における課題から、次のような要請が設定されている。

要請 1: 通常時における全 1 p.e. 信号波形データの取得・転送

要請 2: ミューオン信号後 $10 \mu\text{sec}$ 以上の波形データの連続取得

要請 3: 近傍超新星時のロスなしデータ取得

要請 1 は新型 DAQ システムからの要請される。4 章の 4.3 節で述べたように、新型 DAQ システムではソフトウェアトリガーを用いる。そのため、物理事象かどうかにかかわらず、すべての 1 p.e. 信号の波形データを DAQ コンピュータへ転送することが新型フロントエンド回路に求められる。

次に要請 2 についてである。MoGURA の課題点からの要請である。現状、MoGURA を使用したデータ取得でも、ミューオン信号直後 $10 \mu\text{sec}$ の中性子捕獲事象は検出できていない。これは MoGURA 上のバッファサイズが不足していることが原因である。だが、仮にこの制限がなかったとしても、フロントエンド回路上で大量のアフターパルス信号の中から中性子捕獲事象を判別するのは困難である。この問題に対しては、ミューオン信号直後の波形データを DAQ システム側で解析し、アフターパルス信号の中から中性子捕獲事象を判別することが考えられている。したがって、新型フロントエンド回路にはミューオン信号直後の波形データを連続で取得し、DAQ システムへ転送できることが求められている。また、中性子捕獲事象以外にもミューオンが崩壊することで発生する Michel Electron の検出も期待される。Michel Electron は 50 MeV 付近をエッジとする特徴的なエネルギースペクトルを持っており、3 章のキャリブレーションの項で述べた通り、 30 MeV までのエネルギー線形性の較正が可能になると考えられる。しかし、ミューオン信号直後の中性子捕獲事象と同様の理由で MoGURA では検出が困難であった。この事象についても、ミューオン信号直後の連続データ取得とその波形情報を利用した DAQ コンピュータ上での解析により検出できる可能性がある。

最後に要請 3 について述べる。「近傍」超新星イベントの定義には諸説あるが、ここでは地球からの距離 $L_{\text{earth}} < 300 \text{ pc}$ で発生する超新星爆発事象をいう。具体的には $L_{\text{earth}} = 197 \text{ pc}$ (誤差省略) のベテルギウスがある。超新星爆発時の MoGURA のデータ取得限界については石川²⁴による先行研究がある。先行研究で述べられているベテルギウスの超新星爆発を想定したシミュレーションから、全イベントのデータ取得を続けた場合、およそ 70 msec 程度でデータ取得が停止することがわかっている。そのため、現状 MoGURA では巧みにデータ取得量を調整することにより近傍超新星イベント時のデータ取得を実現している。これは超新星ニュートリノの構成比の時

間変化を数百 msec 間記録するための対策である。MoGURA が近傍超新星イベント時に全てのイベントのデータ取得を実現できないのは、バッファサイズの問題である。したがって、本研究で開発する新型フロントエンド回路では、数 GB という大容量のバッファを用いることでこの問題を解決する。

以上が新型フロントエンド回路のデータ取得性能面への要請である。これに加え、短期間で基本的な開発を終えることも求められている。3章で述べた二つのフロントエンド回路のうち、KamFEE は 20 年近く、MoGURA は 10 年以上稼働している。これらフロントエンド回路は老朽化が進んでおり、故障したボードは随時交換しているが、KamFEE・MoGURA とともに ADC などの主要部品が生産終了になっているため、修理が困難になっている。そのため、KamLAND2 実験での運用だけでなく、現在行われている KamLAND-Zen800 実験の段階で今後 5 年程度をかけて新型フロントエンド回路を導入することが計画されている。ゆえに、比較的短期間で新型フロントエンド回路を開発・量産することが必要とされる。これらを総合的に考慮して、本研究で開発する新型フロントエンド回路では Xilinx 社製 Zynq® UltraScale+™RFSoc²⁵(以下、RFSoc と呼ぶ)を使用する。

5.1.1 RFSoc を使った新型フロントエンド回路

RFSoc とは、ADC および DAC と CPU が FPGA と一体化したチップである。このチップを用いることの最大の利点は開発時間の短縮にある。RFSoc にはすでに ADC と DAC が組み込まれているため、これらと FPGA を接続するための基板設計を行う必要がない。この種の基板設計には開発から評価まで 1 年、長ければ数年程度かかる可能性があるため、この点を回避できる RFSoc の利用は本開発において非常に重要である。また、RFSoc には CPU が搭載されている。実際の使用方法は 6 章で述べるが、CPU はファームウェア開発において有効なデバッグ手段として活用できるため、開発時間の短縮に大きく寄与している。

また、RFSoc は Xilinx 社から発売されている最新の SoC ポートフォリオ²⁶の一つであり、MoGURA で使用している FPGA に比べてメモリ・最大動作周波数などにおいてもアドバンテージを持っている。このリソースを活かすことで MoGURA では困難だったミューオン信号後に発生するアフターパルス領域の連続データ取得などを可能にすることができる。加えて、消費電力に関しても ADC と FPGA が一体化されていることから、MoGURA からの低減がみこまれる。^{*1}

今回、使用する RFSoc は XCZU29DR-1FFVF1760E(以下、ZU29DR と呼ぶ)である。詳細については本章後半で述べるが、フロントエンド回路 1 ボードあたりのデータ取得性能への要請について述べる際に必要となるため、ADC および DAC の仕様を表 5.1 に記載する。また、ZU29DR の ADC および DAC は以後それぞれ RF-ADC、RF-DAC と呼ぶ。なお、RF-ADC の電圧分解能は 12 bit であるが、実際には 16 bit のデータとして扱われる。これはロジック内部のデータ転送に使われる AXI4 プロトコルのバス幅は 8 bit を単位となっているためである。4 bit はゼロパディングされる。RF-DAC についても RF-ADC と同様の理由で 16 bit のデータとして扱われる。

表 5.1 ZU29DR の ADC および DAC の仕様

	チャンネル数	サンプリングレート	電圧分解能	ダイナミックレンジ
RF-ADC	16	2.048 Gsps	12 bit	1 Vpp
RF-DAC	16	6.554 Gsps	14 bit	1 Vpp

^{*1} 一般に CPU と様々な機能を一体化することを SoC 化と呼ぶ。SoC 化のメリットの一つには消費電力の低減がある。機能間の通信線を短くできることなどから、信号をドライブするために必要な電力が小さく済むためである。スマートフォンなどのモバイル製品で SoC が用いられる理由の一つである。

5.1.2 データ取得の目標性能

新型フロントエンド回路のデータ取得への要請から、次のような目標性能を設定した。

目標 1: 幅 100 nsec・レート 25 kHz のパルスに対し継続的なデータ取得が可能であること

目標 2: 10 μ sec の間データを連続取得することが可能であること

目標 3: 幅 100 nsec・レート 1 MHz のパルスを 10^6 イベント分、連続でバッファリングすることが可能であること

まず、目標 1 についてである。すでに述べたように、新型フロントエンド回路では 1 p.e. 以上の信号をすべて DAQ システム側へ転送する必要がある。PMT の典型的なダークレートは 20 kHz であり、その波形データ長はおよそ 60 nsec から 70 nsec 程度である。したがって、現在開発中の DAQ システム側では 640 Mbps のレートでフロントエンドから読み出すことを想定している。これは 20 kHz のヒットレートの 1 p.e. 信号と、0.5 Hz のミュオン信号を安定的に取得することに相当する。これは以下のように求められる。

$$\underbrace{(100 \text{ [nsec]} \cdot 20 \text{ [kHz/Ch]})}_{1 \text{ p.e. 信号}} + \underbrace{10^6 \text{ [nsec]} \cdot 0.5 \times 10^{-3} \text{ [kHz/Ch]}}_{\text{ミュオン信号}} \cdot 1 \text{ [Gsp/s]} \cdot 16 \text{ [bit]} \cdot 16 \text{ [Ch]} = 640 \text{ [Mbps]}$$

ここで、1 p.e. 信号の波形データ長を 100 nsec、ミュオン信号の波形データ長を 1 msec と見積もっている。また、サンプリングレートは運用時の想定である 1 Gsp/s とした。なお、実際にはミュオン信号後の連続データ取得は 10 μ sec 程度であり、その後は 1 p.e. 信号と同様のデータ取得となる。この値から平均的なヒットレートを求めると次のようになる。

$$\frac{640 \text{ [Mbps]}}{100 \text{ [nsec]} \cdot 16 \text{ [bit]} \cdot 16 \text{ [Ch]}} = 25 \text{ [kHz/Ch]}$$

したがって、恒常的に取得可能なヒットレートの数値目標として 25 kHz を設定する。なお、1 章で述べたとおり、DAQ システムへのデータ転送に使用する 10GbE の実装方法は現在検討中であるため、本研究ではロジック単体の目標値とする。

次に目標 2 についてである。すでに述べたように、これはミュオン信号後のアフターパルスや中性子捕獲信号を含む時間領域をすべて取得し、オフライン解析でアフターパルスと中性子捕獲事象の判別を行うことを意図している。

そのため、10 μ sec 程度のデータをすべてのチャンネルで連続取得することができれば、原理的には取得したデータを DAQ システム側で解析することで、ミュオン信号後のすべての中性子捕獲事象を検出することが可能となる。

最後に目標 3 についてである。図 5.1 に示すように、近傍超新星イベント時には最大で 2×10^5 程度のイベントが 1 秒間に発生する。このことから、DAQ からの読み出しレートと超新星イベントによるデータレートが釣り合うまでのイベント分のマージンを考慮すると、 10^6 イベント程度はすべてフロントエンド回路のバッファで保存できる必要がある。また、超新星イベントのピーク時のイベントレートは 1 MHz 程度に達する。これらを踏まえ、目標 3 を設定した。

5.1.3 アナログ回路の目標性能

アナログ回路に対しては、ほぼ MoGURA と同等の性能が要求される。ただし、一部は将来的な増幅率の変更が可能になるように配慮している。

目標 1: 8 V(+0.5–7.5 V) の PMT 信号を入力できるダイナミックレンジをもつこと

目標 2: 100 MHz までの周波数帯域をもつこと

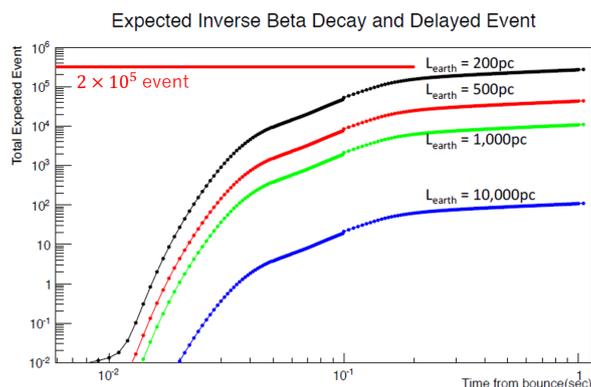


図 5.1 KamLAND における近傍超新星イベント時の累積イベント数²⁴。L_{earth} は超新星爆発の地球からの距離である。

目標 3: 信号未入力時で約 0.1 mV 程度の RMS 値であること

目標 1 は新型フロントエンド回路で使用する電源からの制限である。本来、ミューオン信号の中には -10 V を超えるような信号が存在するため、ダイナミックレンジは -7.5 V よりも大きい方が望ましい。しかしながら、フロントエンド回路で使用する電源は VME 電源であり、KamLAND2 実験で実際に使用する際には 100 枚以上のフロントエンド回路を同時運用すること、VME 電源の供給電圧は $\pm 12\text{ V}$ であることを踏まえると、前述のようなダイナミックレンジが現実的である。また、 10 V を超えるようなミューオン信号の頻度は 1 日から 1 週間で一回程度であるため、実質的に問題がないことも理由として挙げられる。

次に目標 2 についてである。4.1 節でも述べた理由から、現行のフロントエンド回路では周波数帯域を 68 MHz 以上としていた。だが、PMT からの信号の増幅率を将来的に高める場合を考慮すると、カットオフ周波数付近の影響^{*2}が無視できなくなるため、より高い領域までカバーする周波数特性が必要となる。したがって、目標 2 のような高い周波数特性を要求する。当然ながら、高い周波数領域までサンプリングするとノイズ特性的には不利となる。しかしながら、フロントエンド回路では波形情報も含めて取得ため、DAQ もしくはオフライン解析時にデジタル的にノイズを除去することが可能である。よって高い周波数領域まで使用することのデメリットは小さいと考えられる。

最後の目標 3 については、現行の MoGURA で使用しているフロントエンド回路の値を参考にした。前述したように MoGURA では信号取得に 4 つのゲインを使用している。MoGURA の各ゲインチャンネルの仕様は表 5.2 の通りである。

表 5.2 MoGURA の各ゲインチャンネルの仕様

ゲイン チャンネル	増幅率	分解能 [mV] (ADC)	分解能 [mV] (入力換算)	RMS [mV] (入力換算)	入力 電圧範囲
P	$\times 20$	1.95	0.1	0.081	+5 mV から -20 mV
H	$\times 24$	11.7	0.5	0.265	+25 mV から -100 mV
M	$\times 2.4$	11.7	5	1.6	+250 mV から -1 V
L	$\times -14$	11.7	50	19	+2.5 V から -10 V

ここで RMS は信号未入力時の実測値である。新型フロントエンド回路においても、1 p.e. 信号の取得判定には信

^{*2} 現実の回路はカットオフ周波数より高い周波数でも小さなゲインを持つ。カットオフ周波数を一定にしたまま増幅率を大きくすると、このゲインも大きくなるため無視できなくなる。

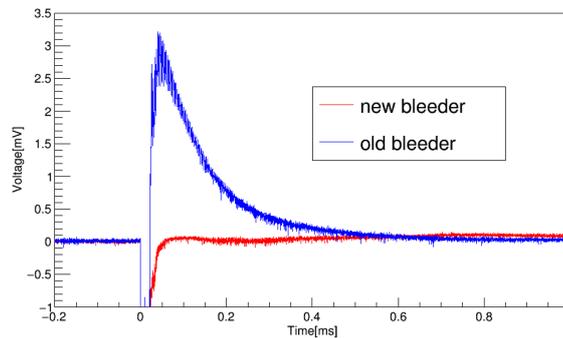


図 5.2 現行のブリーダー回路と改良版のブリーダー回路によるオーバーシュートの比較²³。青が現行のブリーダー回路を使用したオーバーシュート、赤が改良版のブリーダー回路を使用した場合のオーバーシュートのプロットである。

号の波高を用いる。これは KamFEE および MoGURA でも共通であるため、両フロントエンド回路における目標値は約 0.1 mV であった。したがって、本フロントエンド回路においても、0.1 mV を RMS の目標値とする。

また、ベースライン安定化回路を新型フロントエンド回路では使用しない。これは以下のことが理由である。

1. KamLAND2 実験で使用する PMT には改良版のブリーダー回路が使用される
2. MoGURA の P ゲインチャンネルに比べて ZU29DR の ADC は広いダイナミックレンジ・高い分解能を持つ
3. デジタル信号処理による補正を FPGA で行うことが期待される。

まず理由 1 によって、図 5.2 に示されるようにオーバーシュートそのものが低減されることが期待される。さらに理由 2 であるが、ZU29DR はダイナミックレンジにおいて P ゲインチャンネルの 2 倍、電圧分解能において 16 倍の精度をもつ。そのため、約 5 倍増幅のアンプを使用して入力換算の電圧分解能を約 0.05 mV に高めても、200 mV のダイナミックレンジを持つことができる。したがって PMT 信号のうち +50 mV から -150 mV の領域を ZU29DR の ADC のみでカバーすることができる。加えて、今回使用する ZU29DR にはデジタル信号処理を念頭においた専用ロジックである、DSP slice が搭載されている。そのため理由 3 に挙げたような、FPGA 上でのデジタル的なベースラインを補正が可能だと考えられる。よって、新型フロントエンド回路では特別に BLR 回路を必要としないとした。ただし、ZU29DR には DAC も搭載しているため、この DAC を使ったベースライン補正も可能であるような回路構成となっている。

5.2 新型フロントエンド回路の仕様

以上の要請を基に新型フロントエンドの仕様を定めた。また、この仕様に従いプロトタイプボードを開発した。構成としてはアナログ信号処理部・デジタル処理部・インターフェース部・電源部に分かれる。レイアウトを図 5.3 に示す。以後、要素について述べる。

5.2.1 アナログ信号処理部

アナログ信号処理部ではシングルエンドと差動信号の変換及び増幅を行う。プロトタイプボードでは各チャンネルに二種類のゲインを用意している。H ゲインチャンネルには RF-ADC、L ゲインチャンネルには低コスト化のため別途外付け ADC を使用している。L ゲインチャンネルはミューオン信号のような長い波形の取得を想定してい

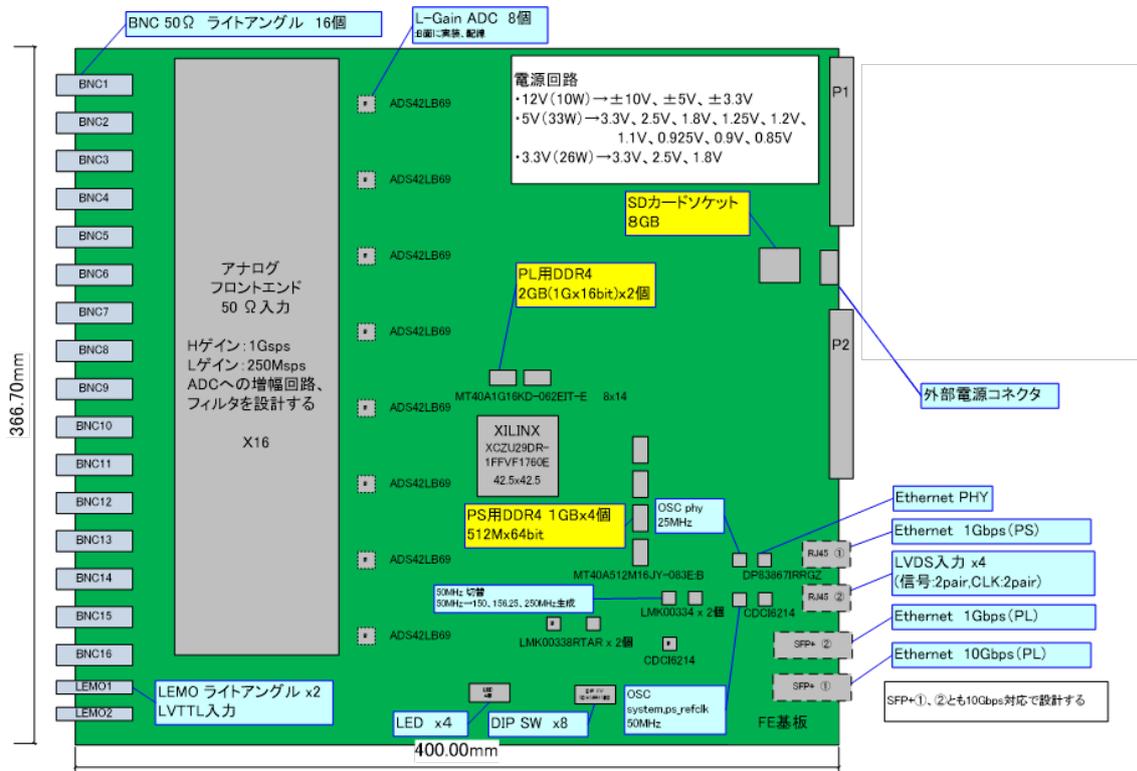


図 5.3 新型フロントエンド回路のレイアウト図

るため、高い時間分解能を持つ RF-ADC を用いずとも充分な性能が達成できる。表 5.3 に新型回路のゲインチャンネルの仕様をまとめる。

表 5.3 各ゲインチャンネルの仕様

ゲインチャンネル	増幅率	ADC	サンプリングレート	分解能 [mV] (ADC)	分解能 [mV] (入力換算)	入力電圧範囲
H	× 4.8	RF-ADC	1 Gsps	0.24	0.050	+50 mV から -150 mV
L	× 0.24	ADS42LB69	250 Msps	0.030	0.127	+0.5 V から -7.5 V

L ゲインには低コスト化のため、外付け ADC を用いた。また、広いダイナミックレンジを持ち分解能の高い RF-ADC を用いることで、MoGURA に比べて高い電圧分解能が達成できる。そのため、MoGURA ゲインの 4 チャンネルから 2 チャンネルに削減された。

また、回路構成を図 5.4 に示す。まず、初段にて PMT 信号の符号を反転させる。広帯域のオペアンプを用いることによるメリット・デメリットを検証するため、偶数チャンネルと奇数チャンネルで使用しているオペアンプが異なる。偶数チャンネルにはバンド幅が 235 MHz の THS3095、奇数チャンネルには 900 MHz の THS3491 を用いている。次段の回路は H ゲインと L ゲインで異なる。H ゲインは Texas Instruments 社 (以下、TI) 製 LMH6702 を用いてシングルエンド信号を非反転増幅回路で増幅、L ゲインはアッテネータにより 0.13 倍に減衰させる。最終段では H ゲイン・L ゲインともに差動オペアンプである LMH6550 を用いてシングルエンド信号を差動信号に変換する。最終的には H ゲインは 4.8 倍、L ゲインは 0.24 倍の増幅率となる。表 5.4 に各段で使用しているオペアンプのバンド幅及び Slew Rate を示す。なお、すべて TI 製である。

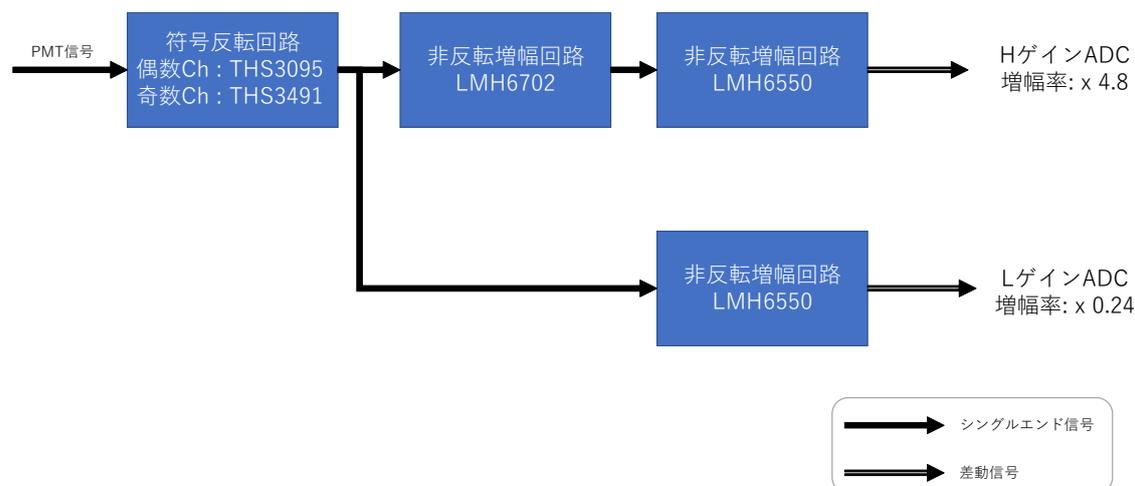


図 5.4 アナログ部のブロックダイアグラム

表 5.4 オペアンプの主な仕様

	バンド幅 [MHz]	Slew Rate [V/ μ sec]
初段 (偶数チャンネル): THS3095	235	7300
初段 (奇数チャンネル): THS3491	900	8000
次段 (H ゲインのみ): LMH6702	1700	3100
最終段: LMH6550	400	3000

5.2.2 デジタル処理部

デジタル部処理部には FPGA とオンボードバッファ用の DDR4 メモリが存在する。FPGA としては RFSoc ポートフォリオの一つ、ZU29DR を搭載する。表 5.5 に、ZU29DR および MoGURA で使用している FPGA の仕様をまとめたものを示す。

表 5.5 ZU29DR および MoGURA の FPGA の仕様

FPGA	ZU29DR (16ch)	MoGURA (12ch)	ZU29DR (1ch 当たり)	MoGURA (1Ch 当たり)
System Logic Cells	930300	615168	58143.75	51264
Block RAM [Mb]	38	10.125	2.375	0.84375
Ultra RAM [Mb]	22.5	0	1.40625	0
RAM 合計 [Mb]	60.5	10.125	3.78125	0.84375
DSP slices	4272	0	267	0

System Logic Cells は実装可能な回路規模、RAM 合計は FPGA に組み込まれているメモリ量を表している。FPGA に組み込まれているメモリは一般に DDR4 メモリよりも高速に書き込み・読み出しを行うことができる。したがって、1ch あたりで考えても ZU29DR は MoGURA よりも大規模な回路を実装できる。また、DDR4 メモリの書き込みレートよりも大きなデータレートにも FPGA 上の RAM を使用して対応できる。これらの特徴は、FPGA 上でのデジタル処理や連続データ取得において大きなアドバンテージとなる。

また、MoGURA の FPGA との大きな相違点の一つである、ZU29DR の CPU について述べる。表 5.6 に ZU29DR が搭載している CPU の仕様を示す。

表 5.6 ZU29DR の CPU の仕様

CPU		コア数	最大動作周波数 [MHz]
Application Processing Unit (APU)	ARM® Cortex™-A53	4	1200
Realtime Processing Unit (RPU)	ARM® Cortex™-R5F	2	500

APU とは主に Linux 等の汎用 OS 上でプログラムを実行することを目的とした CPU である。一方、RPU はリアルタイム性を保証してプログラムを実行することを目的とした CPU である。リアルタイム性とは、プログラムの実行時間が状況によって変動せず、常に予測可能であることをいう。APU では各プログラムが時間交代制で CPU を占有することが想定されているため、プログラムが実行された順番により時間が変動しうる。一方 RPU ではリアルタイム OS によるプログラムの制御を想定している。リアルタイム OS では、プログラムの優先順位に応じて CPU の占有権が与えられる。例えば、外部割込み*3が通知され、優先度の高いプログラム (これを、プログラム A とする) が CPU を使用する必要が生じた場合、優先度の低いプログラムはすべて停止され、プログラム A は CPU を使用することができる。プログラム A の処理が終了したら、他のプログラムは処理を再開できる。したがって、プログラム A の実行時間は他のプログラムの実行時間には左右されず、割込み処理のレイテンシによって左右される。RPU はこの外部割込み処理を高速に実行するための機構が備わっており、APU に比べてリアルタイム性が保証されるようになっている。

次にオンボードバッファについて述べる。ZU29DR の機能のうち、FPGA と ADC および DAC 部分を FPGA またはロジック、CPU 部分を CPU またはソフトウェアと呼ぶ。オンボードバッファは FPGA 側と CPU 側にそれぞれ 4GB ずつ実装されている。実装されているメモリの仕様について表 5.7 に示す。

表 5.7 搭載する DDR4 メモリの仕様

	部品名	容量 [GB] (ダイ当たり)	ダイ数	容量 [GB] (合計)	データレート [GB/sec] (最大)
FPGA 側	MT40A1G16KD-062E IT:E	1	4	4	約 9.6
CPU 側	MT40A512M16LY-062E IT:E	2	2	4	約 19.2

FPGA 側 DDR4 メモリの最大データレートが CPU 側 DDR4 メモリの半分になっているのは、FPGA の IO 数の都合上、DDR4 メモリとの接続のバス幅を半分にする必要があったためである。主にバッファとして使用されるのは FPGA 側のメモリである。これを最大データレートで使用できると仮定した場合、新型フロントエンド回路でバッファに保存できるヒットレートは次のようになる。

$$\frac{\text{DDR4 メモリの書き込みレート}}{1 \text{ 波形のパケット当たりのデータ量} \cdot \text{チャンネル数}} = \frac{9.2 [\text{GB/sec}] \cdot 1/2}{240 [\text{B}] \cdot 16 [\text{Ch}]} = 1.25 [\text{MHz/Ch}] \quad (5.1)$$

ここで 1 波形当たりのデータサイズである 240 B は、6 章で述べるデータフォーマットにしたがって 100 nsec 分の波形のパケットを生成した場合のサイズである。また、分子の 1/2 は DDR4 メモリとの通信帯域を書き込みと読み出しで等分した場合の因子である。この因子は DDR4 メモリの設定により変化しうるため、あくまで上記のヒットレートは目安であることに注意されたい。

*3 CPU には外部回路からの信号を入力するためのポートが存在し、その中に外部割込みがある。これは、外部回路から CPU に処理終了などの通知信号などを送るときに使われる。

5.2.3 データ通信用インターフェース

図 5.5 にプロトタイプボードに実装されたデータ通信用インターフェースを示す。前章の 4.3 節で述べたように、新型フロントエンド回路では取得した波形データをすべて DAQ コンピュータに送信する必要がある。そのため、DAQ への波形データ送信用に 10GbE を使用する。イーサネット通信のデジタル信号や、イーサネットケーブルから電気ノイズがアナログ系へ影響を与える可能性を考慮し、通信には光ケーブルを用いる。そのためのインターフェースとして、SFP+ ポートを備える。SFP+ ポートは 2 ポート搭載されており、FPGA 上の高速シリアルトランシーバ (GTY) に接続されている。1 ポートは FPGA を経由してデータを外部へ転送するために使用するが、もう 1 ポートは CPU を経由してスローコントロールに使用することが考慮されている。

また、CPU には 1GbE 用インターフェースが接続されている。こちらもスローコントロール向けであるが、ケーブルにはイーサネットケーブルを使用するため、アナログ系への悪影響が見られた場合は、デバッグおよび開発時のみに使用するポートとなる。

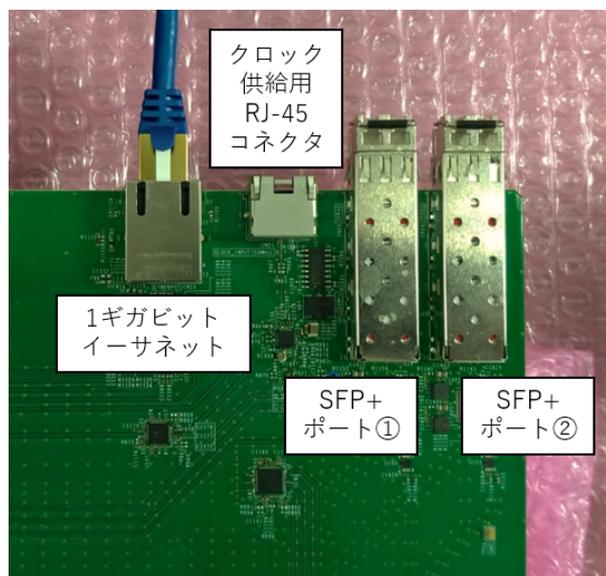


図 5.5 プロトタイプボードのデータ通信用のインターフェース群。左から 1GbE 用 RJ-45 ポート、クロック供給用 RJ-45 ポート、SFP+ ポート (2 ポート) となる。クロック供給用 RJ-45 ポートについては後述する。

5.2.4 電源部

電源は実運用では VME バックプレーンから電源を供給する。使用する電源系統と目標消費電力は表 5.8 に示すとおりである。

表 5.8 各電源系統の目標消費電力

電源系統	電流	消費電力
+12 V	約 1.51 A	18.12 W
-12 V	約 1.90 A	14.28 W
+5.0 V	約 11.59 A	57.95 W
+3.3 V	約 8.72 A	28.78 W

また、図 5.6 のようなデバッグコネクタからの電源供給にも対応する。使用する電源システムは一般的なデスクトップ PC に使用する ATX 電源と共通であるため、デバッグおよび開発時には市販の ATX 電源によりプロトタイプボードを稼働させることができる。



図 5.6 プロトタイプボード上に取り付けられたデバッグコネクタ

5.2.5 その他

クロック

図 5.7 にクロック系統図を示す。基板全体のシステムクロックとしては 50MHz を使用する。システムクロックのソースは図 5.5 のクロック供給用 RJ-45 ポートと水晶発振器が存在する。このシステムクロックを元にクロックジェネレータから各システムへ必要なクロックを出力する。実運用時には全ボードでの同期をとる必要があるため、別途開発中のクロックボードからクロック信号をクロック供給用 RJ-45 ポートに入力して使用する。一方、デバッグやフロントエンド回路単体での開発では同期をとる必要はないため、水晶発振器を使用する。次章以降で述べるファームウェア開発やプロトタイプボードの評価では、すべて水晶発振器を使用している。

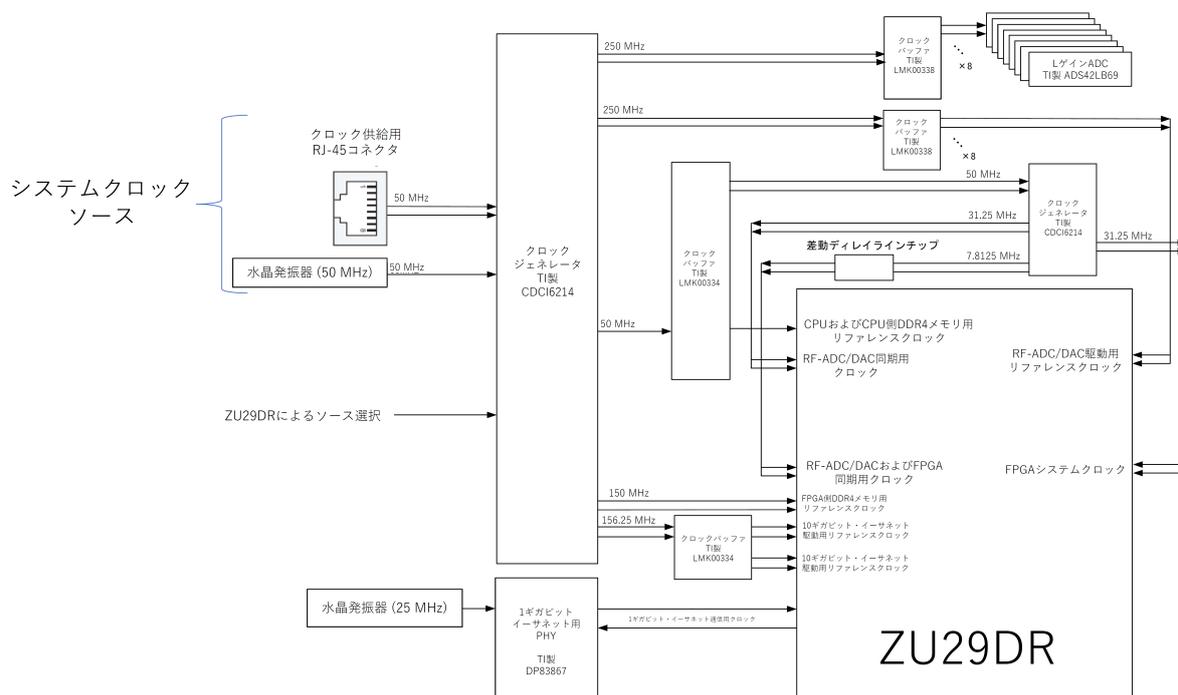


図 5.7 クロック系統図。クロックジェネレータには TI 製 CDCI6214 を使用し、ZU29DR からレジスタを変更してリファレンスクロックを選択する。

その他 IO インターフェース

まず、外部トリガ用に LEMO コネクタを 2 ポート備える。信号規格は TTL である。また、デバッグ及び開発用に 7 つの DIP スイッチと 4 つの LED を備える。

第 6 章

ファームウェア開発

本章では本研究の中心となるファームウェア開発の詳細について述べる。ZU29DR には CPU と FPGA が存在するため、ファームウェアには CPU 上で動作するソフトウェアと、FPGA 上で動作するロジックの二種類が存在する。新型 DAQ システムへのデータ転送に使用する 10GbE の実装方法は現在検討中であるため、今回の開発ではロジック単体でのデータ取得性能が目標を満たすように開発をおこなう。そのため、ソフトウェアにはスローコントロールおよびデータ転送を 1GbE 経由でおこなうためのプログラムを実装する。開発環境を表 6.1 に示す。

なお、Visual Studio Code は Microsoft がリリースしている汎用エディタであり、拡張機能を導入することで様々な言語に対応できる。今回の開発ではデータ取得用 PC で動作するソフトウェア開発の他に、ロジック・ソフトウェア両方の開発の補助エディタとして使用した。

6.1 ロジック設計

本研究で開発するロジックのコンセプトは「モジュール化」である。これは以下のような点を考慮したためである。

- 拡張性・柔軟性の維持
- メンテナンス性の向上

まず、「拡張性・柔軟性の維持」についてである。新型フロントエンド回路は、KamFEE や MoGURA と同様に稼働から 10 年程度運用されることを想定している。FPGA の特徴は「書き換え可能な電子回路」であり、運用期間中にロジックのアップデートが行われることを考慮すべきである。そこで、機能ごとにモジュール化することで開発箇所を絞ることが可能になり、迅速に開発・実装を進めることができると考えられる。

当然、モジュール化によるデメリットも存在する。具体的には、モジュール間の通信プロトコルの実装によるレイテンシの増加やロジック規模の増加である。レイテンシについてはフロントエンド回路の殆ど機能においてフィードバック制御を必要としないため、問題は限定的である。また、「レイテンシの小さいプロトコルの採用」・

表 6.1 開発環境

開発部分	開発ソフトウェア	主な開発言語	OS
ロジック	Vivado 2019.1.3 System Generator for DSP 2019.1	Verilog SystemVerilog	Windows 10 Pro 1909
ソフトウェア	Xilinx SDK 2019.1	C	同上
外部 PC 用ソフトウェア	Visual Studio Code	Python	同上

「フィードバック制御部分のみの非モジュール化」などで対応できる。また、回路規模についても5章で述べたようにZU29DRは大きなリソースを持っているため、大きな問題にはならないと考えられる。

次に「メンテナンス性の向上」についてである。各機能がモジュール化されているため、機能検証を単純化することができる。これは純粋に開発スピードに直結するため、開発リソースが限られるような状況^{*1}では重要である。また、開発段階で現れなかったバグを検証・修正する際も問題の切り分けが容易になる。これは長期間の運用において重視すべき点である。

以上がモジュール化コンセプトを採用する理由である。このコンセプトを採用するにあたり、モジュール間の通信使用するプロトコルを決定する必要がある。このプロトコルには、現在広く一般的に使用されているAMBA® AXI4プロトコルを採用した。なぜならば、モジュール化設計の利点を活かすには、デバッグが不十分になる可能性がある独自プロトコルではなく、信頼性が高いプロトコルを使用する必要があるためである。

6.1.1 AMBA® AXI4 プロトコル

AMBA® AXI4プロトコルとは、ARM®社が策定・提供しているAdvanced Microcontroller Bus Architecture (AMBA) と呼ばれるARMアーキテクチャCPUを採用したSoC向けのオープンソースのプロトコル群の一つ、Advanced eXtensible Interface (AXI)プロトコルの四世代目の規格である。これは2013年から提供されているプロトコルであり、2017年からはAXI5プロトコルが追加された。これらプロトコルはSoCで使用するARMアーキテクチャのバージョンによって異なり、ZU29DRに搭載されているCPUではAXI4をサポートする。また、Xilinx社から提供されるロジック用のライブラリもこのAXI4プロトコルを使用している。AXI4プロトコルにはマスターとスレーブが存在する。マスターがデータの書き込みまたはデータの読み出し命令をスレーブに送出し、スレーブはこれに応答してデータの受け入れ・データの書き出しを行う。

AXI4プロトコルはさらにAXI4、AXI4-Lite、AXI4-Streamプロトコルに分かれる。AXI4およびAXI4-Liteプロトコルは、Memory Mappedなモジュール間での通信を行うためのプロトコルである。AXI4はAXI4プロトコルで規定されるすべての機能をサポートするのに対し、AXI4-Liteは信号数を少なくした代わりにデータの連続転送をサポートしないプロトコルである。なお、Memory Mappedなモジュールとはデータを指定のアドレスから書き込み・読み出しするようなモジュールである。一般的なメモリへの書き込み・読み出しはこれに相当する。本研究で開発したロジック内では、DDR4メモリへの書き込みや、CPU側からのロジックのパラメータを設定するためにこのプロトコルが使用されている。

AXI4-Streamはモジュール間でストリーミ的なデータ転送を行う際に使用する。ストリーミ的なデータ転送とは、転送先アドレスを必要としない、一方向へデータが流れるだけの転送方式である。そのため、AXI4-Streamは他のAXI4プロトコルよりも低レイテンシである。今回開発したロジック内で最も使用されているプロトコルであり、ADCからの信号の信号の受け渡しや、ロジック内で生成したデータフレームの受け渡しに使用されている。以上がAXI4プロトコルに関する簡単な説明である。プロトコルの使用や信号などについては付録に記載する。

6.1.2 データ取得のプロセスに関する考察

モジュール化をコンセプトとしたデザインを作成する上で重要となるのは、モジュール間の依存関係が小さくなるように機能を分割することである。モジュール間の依存関係が大きい場合、一方のモジュールを変更した際にもう一方のモジュールも変更する必要が出てきてしまう。これではモジュール毎にアップデートをおこないにくくなってしまい、モジュール化設計の強みが活かされない。そこで、フロントエンド回路における一般的なデータ取得プロセスがどのように分けられるか考察し、次のように分類した。

*1 例えば人が少ないなど

1. データの選別と成形
2. 一時バッファへのデータの格納
3. データ転送

最初のプロセスである「データの選別・成形」は目的とするデータにより大きく異なる。これは目的とする物理事象によってデータの選別の仕方が決まるためである。電波観測のような場合は定常的にデータ取得をし、KamLAND やスーパーカミオカンデといった検出器では PMT 信号の中で波高が一定値を超えたデータのみ取得する。そして、どのような情報が必要となるかによってデータの成形の仕方も異なる。例えば、波形データであれば、必要となる情報はその電荷と時間情報であるのか、それとも波形の形状情報であるのか等によって異なる。したがって「選別」と「成形」は別の機能でありつつも若干の依存関係を持つと考えられる。一方、一度成形してしまったデータがどのように扱われようと「データの選別・成形」とは関係がない。ゆえに、「成形」以降のプロセスとの依存関係は非常に小さいといえる。

次に「一時バッファへのデータの格納」である。成形されたデータは一時的にバッファへ格納される。これはデータ転送先の読み出しタイミングと同期するために必要な機能である。だが、バッファリングの方法そのものに読み出し側は依存しない。したがってこの部分も機能として分割できると考えられる。

最後に消去法的に残るのが「データ転送」である。ここでは一時バッファに格納したデータを読み出し、外部ストレージまたは別モジュールへ転送する。この部分の実装は転送先のプロトコルに大きく依存する。

6.1.3 プロセスごとの機能に関する考察

以上の分類を基にロジックを分割するが、「拡張性・柔軟性」の高いモジュール化を実現するには各プロセスの機能についてさらに考察する必要がある。

データ選別・成形プロセス

このプロセス内で依存関係が小さいと考えられるのは、すでに述べた「選別」と「成形」の機能である。特に「選別」については様々な方法が考えられるため、「成形」との依存関係は小さいことが望まれる。「選別」と「成形」とは、それぞれトリガーとデータフレーム生成である。したがって、ロジックデザインはトリガーとデータフレーム生成部は可能な限り独立に動作できるよう実装する。

一時バッファへのデータの格納

データの判別・成形プロセスが並列で行われる場合、このプロセスにはマージ・バッファへの書き込み・読み出し機能が必要となる。このうち、バッファサイズが有限であることを考えると、書き込みと読み出しは依存関係にある^{*2}といえる。一方でマージ機能は独立している。また、拡張性を考慮すると、マージするプロセス数を調整できることも重要だと考えられる。

データ転送

データ転送内の機能は転送先のプロトコルに依存する。そのため、このプロセスは本研究で開発するロジックに限った考察をする。新型 DAQ システムへのデータ転送には 10GbE での TCP/IP 通信を採用する予定であるが、その実装方法は大きく分けて二通りがある。

方法 1: FPGA のみでイーサネットフレームの処理および TCP/IP 通信処理を行う

^{*2} 例えば有限サイズの FIFO を考えると、一切読み出しを行わないまま、書き込みを永遠に続けることはできない

方法2: FPGAではイーサネットフレームの処理、CPUでTCP/IP通信処理を行う

まず、方法1についてであるが、こちらは1GbEを使用する多くのFPGAでみられる方法である。例えば、日本の素粒子・原子核実験ではSiTCP²⁷と呼ばれる1GbE用のライブラリが普及している。こちらのメリットとしては、高スループットの通信が安定して望める点である。CPUを使用する場合、その負荷状況によってはスループットが落ちることが考えられる。一方、FPGAを使用する場合は通信処理が一定レイテンシで確実に実行されるため、安定したスループットが期待される。最大のデメリットは、実績のある10GbE用のライブラリが非常に高価だということである。なお、一部のFPGA向けに10GbE版のSiTCPのベータ版がリリースされているが、現状RFSoc向けのものには存在しない。また、SiTCP以外のオープンソースのライブラリも存在するが、使用実績等が不明であるため、ライブラリ自体の開発が必要になることが予想される。

次に方法2についてである。この方法のメリットは、すでにXilinx社のサンプルデザインが存在する点にある。また、CPU側のバッファを追加で利用できることもメリットとなる。今回のプロトタイプボードの場合、CPU側に4GBのDDR4メモリを使用しているため、単純に考えればバッファサイズが倍増する。^{*3}デメリットとしては、すでに述べたスループットの安定性に関する懸念と、FPGAとCPU間のデータ転送の最適化を行う必要がある点である。

方法1と2のどちらを採用するかは現時点では検討中であるため、本研究ではデータ転送プロセスの最適化は今後の課題とし、デバッグ用のデータ転送プロセスを実装する。

6.1.4 ロジックデザインの概要

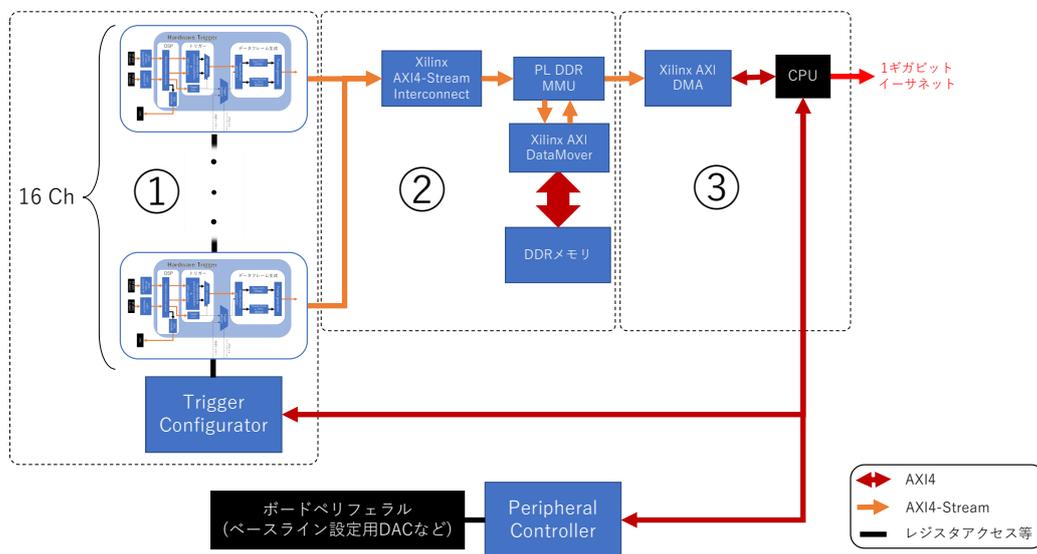


図 6.1 ロジック全体のデザイン。枠線①がトリガー部、枠線②の範囲がバッファ部、枠線③がデータ転送部である。トリガー部内のブロックについては後述する。

以上の考察を踏まえ、図 6.1 のようなロジックデザインを作成した。以下に各枠線の範囲の機能をまとめる。

①: トリガー部

^{*3} FPGA と CPU 間の通信はバス幅の制限により、DDR4 メモリのデータレートを 100% 実現できるわけではないので注意が必要である。

トリガー部は、1 ボードのチャンネル数に相当する「Hardware Trigger」と呼ぶブロックで構成される。Hardware Trigger では ADC データの波高からノイズと 1 p.e. 信号を識別し、データフォーマットにしたがってデータフレームを生成する。データフレームあたりに格納できる波形データ長には最大値が存在し、これを超える長さの信号は複数のデータフレームに分割される。よってデータフレームのサイズには必ず上限が存在する。以後はこれを最大サイズと呼ぶ。

②：バッファ部

バッファ部では、FPGA 側の DDR4 メモリに対して生成したデータフレームを一時的にバッファリングする。バッファリング時のメモリの書き込み・読み出しアドレスは最大サイズでアライメントされている。

③：データ転送部

データ転送部では、バッファリングしたデータを CPU に転送し、CPU から 1GbE 経由で外部 PC へとデータを転送する。データ転送に 1GbE を使用しているのは、実装方法を検討段階であるため本研究では使用できない 10GbE の代わりに、デバッグ時のデータ取得に必要なためである。

以上が各枠線内の機能である。

6.1.5 クロックドメイン

クロックドメインは次の 3 系統がある。

クロック 1 (125 MHz): ADC~Hardware Trigger ブロック内部のデータフレーム生成ブロック

これは H ゲイン ADC(RF-ADC) が 1 クロックに 8 サンプル送出するため、 $1 [\text{Gsps}]/8 [\text{サンプル}] = 125 \text{ MHz}$ のクロックが必要となるためである。8 サンプルに設定した理由は、ロジックでは一般に駆動周波数を下げるほどデザインが容易になること、RF-ADC が 1 クロックに並列出力できる最大サンプル数は 8 サンプル数であることからである。

この周波数に合わせて、250 Msps で駆動する L ゲイン ADC は $250 [\text{Msps}]/125 \text{ MHz} = 2 [\text{サンプル}]$ を 1 クロックに出力する。

クロック 2 (200 MHz): Hardware Trigger ブロック内部のデータフレーム生成ブロック~データ転送部

この周波数は DDR4 メモリ*4の駆動クロックに応じて変更する。なお、データフレーム生成部内で非同期 FIFO を使用することによりクロック変換をおこなう。

クロック 3 (125 MHz): Peripheral Controller

Peripheral Controller を介して前述の 2 系統のクロックドメインのリセットをおこなうため、クロックドメインを分離している。

いずれのクロックもシステムクロックである 50 MHz から生成される。ただし、クロック 1 および 2 は FPGA の MMCM を使って生成されるのに対し、クロック 3 は CPU から生成される。

6.1.6 Hardware Trigger の概要

次に Hardware Trigger の詳細を図 6.2 に示す。なお、H ゲイン ADC のデータ取り込みおよび設定用に RF Data Converter IP、L ゲイン ADC のデータ取り込みに LADC Interface IP を使用している。H ゲイン ADC は 2 Gsps のサンプリングレートでデータ取得を行うが、RF Data Converter IP 内で間引き処理が行われ 1 Gsps でサンプリングしたデータとして取り込まれる。そのため、500MHz 以上の周波数成分を持つ信号はデジタル的にカットされ

*4 厳密には Xilinx DDR4 MIG IP ブロックの AXI4 インターフェースの駆動クロック

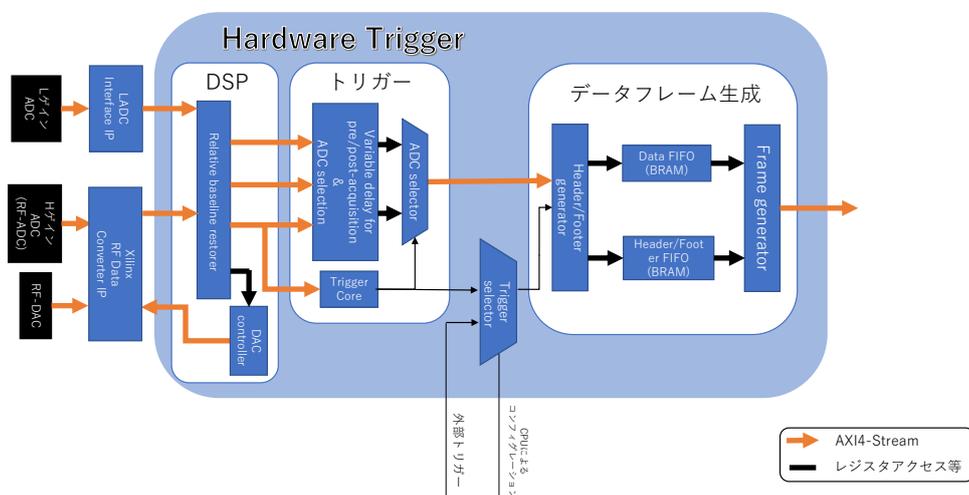


図 6.2 Hardware Trigger ブロックの詳細。ベースライン補正を行う「DSP ブロック」、信号判別およびゲイン切り替えを行う「トリガーブロック」、判別したデータからデータフォーマットに従ってデータフレームを生成する「データフレーム生成ブロック」で構成される。

る。以下、Hardware Trigger を構成する各ブロックの機能について述べる。

DSP ブロック

DSP ブロックではミューオン信号の後に発生するベースライン変動をデジタル的に補正する機能をもつ。また、RF-DAC を使用する場合は、このブロックで得られたベースライン情報をもとにアナログ回路側で補正することを想定している。そのため、RF-DAC のコントローラも含んでいる。なお、このブロックの動作はトリガーブロックと依存関係を持たない。

トリガーブロック

トリガーブロックでは、H ゲイン ADC のデータを元にトリガー信号を生成する。また、H ゲイン ADC の値が一定値以上の時は L ゲイン ADC のデータと H ゲインのデータを組み合わせたデータストリームをデータフレーム生成ブロックへ送る。また、トリガーブロックはデータフレーム生成ブロックとは動作の依存関係を持たない。

データフレーム生成ブロック

データフレーム生成ブロックでは、トリガーブロックから送られてくるトリガー信号とデータストリームを元にデータフレームを生成する。このデータフレームのサイズには最大サイズを設定しており、長時間のトリガー信号がかかった場合は複数のデータフレームを生成する。なお、このトリガー信号は図 6.2 中の Trigger Selector によりボード外部の信号でトリガー信号をオーバーライドすることができる。

6.1.7 ステートマシン

これらロジック全体は図 6.3 のような状態遷移図に従う。以下に図中の各状態について述べる

Reset 状態

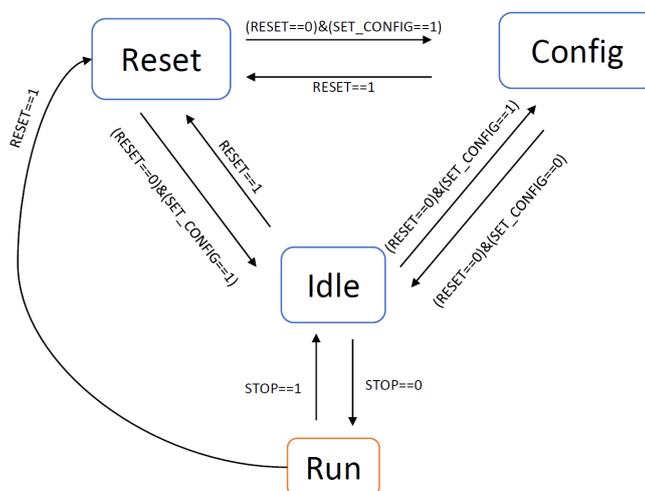


図 6.3 ロジックの状態遷移図

RESET 状態は RESET 信号により遷移する。RESET 信号はボード起動時に自動で 1 になり、すべてのロジックのパラメータが初期値になる。また初期化の際に STOP 信号は 1 になる。

Config 状態

Config 状態では、図 6.1 中の Trigger Configurator のパラメータ設定をロジック全体に適用する。Config 状態には SET_CONFIG 信号により遷移する。なお、Config 状態に遷移する際にロジック部のバッファはすべてクリアされる。

Run 状態

RESET 信号および SET_CONFIG 信号が 0 の時、STOP 信号を 0 にすることでデータ取得を開始する。なお、この STOP 信号はチャンネルごとに設定することができる。

SET_CONFIG 信号および STOP 信号はソフトウェアから設定する。また、RESET 信号についてもソフトウェアによりコントロールすることができる。以上が Hardware Trigger を構成するブロックの簡単な説明である。

6.2 ロジック開発

ロジックの実装は一般的には以下のような順に進められる。

1. レジスタ動作レベル (Register Transfer Level、RTL) の記述
2. 論理合成
3. 配置配線
4. 実装

RTL 記述がロジック開発の主たる部分であり、論理合成以降は Vivado 等のソフトウェアによりほぼ自動で進められる部分である。だが、論理合成から配置配線の完了までは、今回のロジック規模で 3 時間程度かかる。また、実装されたロジック通の信号を監視するためには、専用のロジックを埋め込む必要があり、ロジック規模と論理合成および配置配線に消費する時間の増加につながる。そのため開発時間を短縮しつつバグの少ないロジック開発を進めるためには、この論文合成と配置配線を如何に抑えるかがポイントとなる。

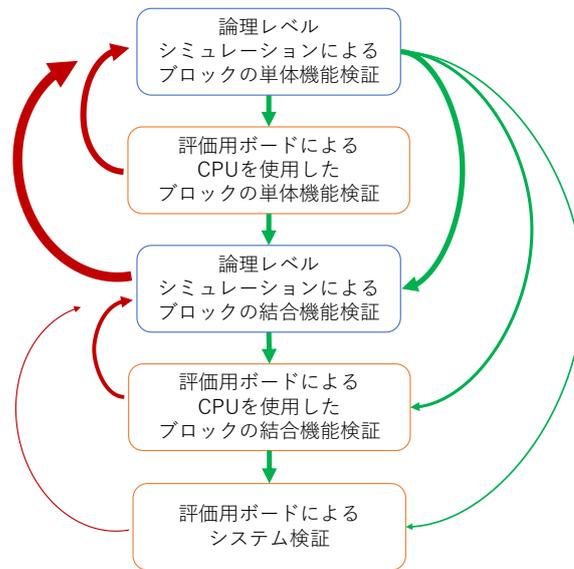


図 6.4 ロジック開発フロー。図中青枠線がシミュレーションによる検証、橙色枠線のブロックが実機でのテストを示している。

そこで、図 6.4 に示すような開発フローを考案した。図中、青枠線のブロックはシミュレーションによる検証、橙色枠線のブロックは実装を必要とする検証を表している。また、赤矢印はバグ修正による手戻りを表しており、その太さで手戻りの回数の大小を表している。この開発フローのポイントは、実機でのシステム検証までに実装工程を避けるか、実装するロジックサイズを最小限に抑えることにある。これにより、実装サイズが大きい工程からの手戻りをできるだけ小さく抑えることができ、開発時間の短縮につながる。

なお、評価用ボードとは RFSoc の一つである ZU28DR を搭載したボードである。詳細は 6.3 節にて述べる。

6.2.1 トリガー部

トリガー部では信号識別からデータフレームの生成まで行う。1つのデータフレームに格納する波形データの長さには上限が存在する。これは `MAX_TRIGGER_LENGTH` と呼ぶパラメータにより決定される。初期設定では 16 が設定されており、これは 128 nsec 分に相当する。この値はターゲットとする波形長により変えることを想定している。

以上がトリガー部の仕様である。以降は各ブロックの開発および検証について述べる。

DSP ブロック

DSP ブロックではミューオン信号などの大信号の後に発生する、ベースライン変動をデジタル的に補正することを目的とする。今回は図 6.5 に示すようなアルゴリズムを実装した。DSP ブロックにはデジタル的なベースライン補正 (この節ではデジタルベースライン補正と呼ぶ) と DAC 出力を用いるアナログ的なベースライン補正 (この節ではデジタル BLR と呼ぶ) の両方の機能が搭載されている。以下にそれぞれのアルゴリズムについて述べる。

- デジタルベースライン補正

8 サンプル平均化することで高周波成分を抑える。次にベースライン以下の成分をカットし、オーバーシュート部分のみを取り出す。その後、PI 制御器を通し、ベースライン成分のみを取り出す。これを計算にかかる期間だけディレイした元信号から差し引くことで、ベースラインが補正された信号を得る。ベースラインの

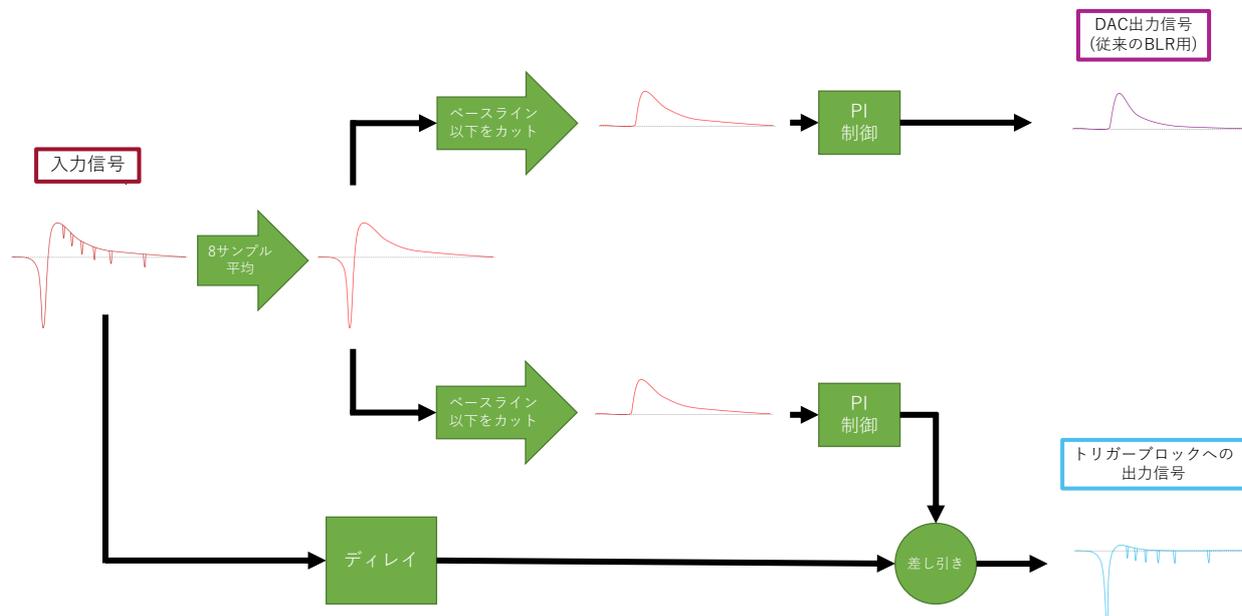


図 6.5 実装したベースライン補正のアルゴリズム。図中ではデジタル的なベースライン補正とアナログ出力を用いたベースライン補正の両方のアルゴリズムが記載されている。

算出に PI 制御を使用することで数 p.e. 信号波形を取り除いている。(数 p.e. 信号波形は振幅方向に非対称な信号であるため、平均をとってもゼロにならない)

また、制御器に D 制御を使用しないことで出力の安定性を確保している。D 制御を使用しないことによる応答速度の低下には、ディレイを使用することで PI 制御にかかる時間を実質的にゼロにすることで対応している。

- デジタル BLR

8 サンプル平均により高周波成分を抑え、ベースライン以下の成分をカットすることでオーバーシュート部分を取り出す点まではデジタルベースライン補正と同様である。デジタル BLR ではこの後、アナログ回路の遅延を考慮した定数を設定した PI 制御器を通し、DAC から出力する。なお、デジタル BLR についてはアナログ回路の遅延が必ず生じるため、D 制御を含む方が望ましいと考えられるが、実運用時のアナログ回路の遅延量が必要となるため、未実装としている。参考までに、RF-ADC 入力から RF-DAC 出力までのレイテンシ測定の結果を付録に記載する。

DSP ブロックの開発には System Generator for DSP 2019.1 を使用した。ロジック開発では基本的に Vivado のシミュレーションツールを利用しているが、複雑な計算を含むシミュレーションには適していない。また、FPGA での計算には浮動小数点ではなく固定小数点を利用するため、計算精度の違いを設計時に考慮する必要がある。System Generator for DSP は MATLAB&Simulink^{*5}を使用することによりこれらの点を解決できる。これにより、計算精度による動作の差異を実装前に確認することができる。加えて System Generator for DSP2019.1 は、作成したブロックのライブラリ化もサポートしているため、シミュレーションで動作検証をおこなった DSP ブロックをそのまま Vivado で使用することができる。

^{*5} MATLAB&Simulink は 2020 年現在、東北大学で全学ライセンスで提供されている。

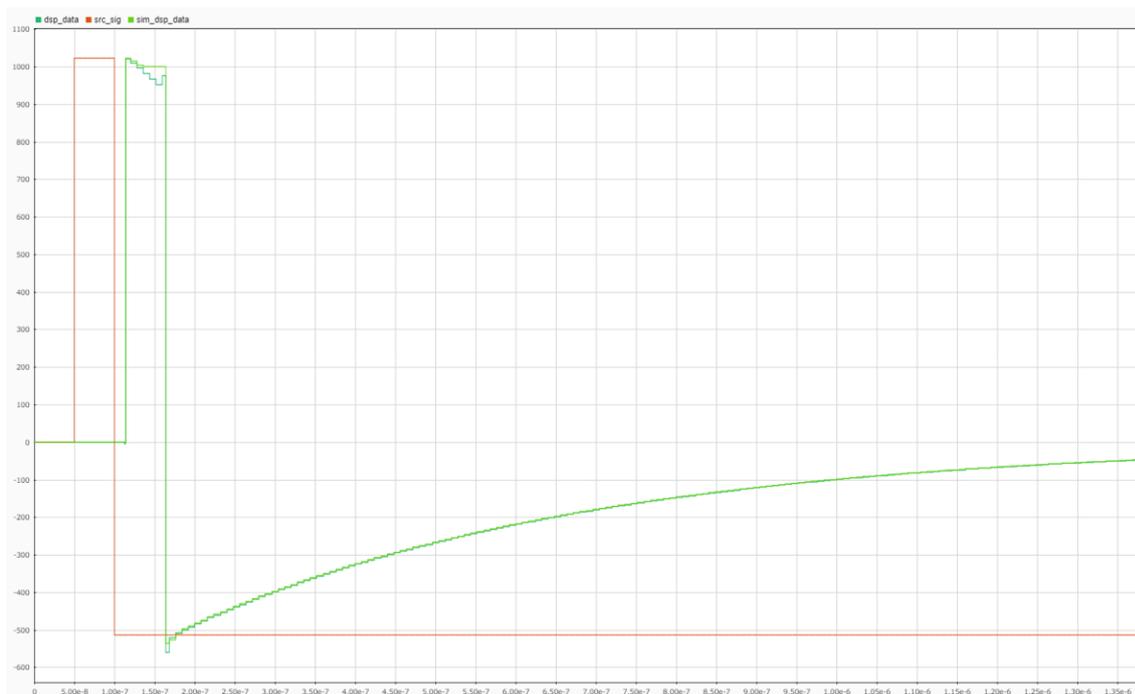


図 6.6 DSP ブロックのシミュレーション結果。図中のプロットのうち src_sig(橙色プロット) がシミュレーションで生成したベースライン変動を含むデータ、dsp_data(深緑色プロット) が固定小数点を使った補正結果、sim_dsp_data(黄緑プロット) が浮動小数点を使った補正結果である。

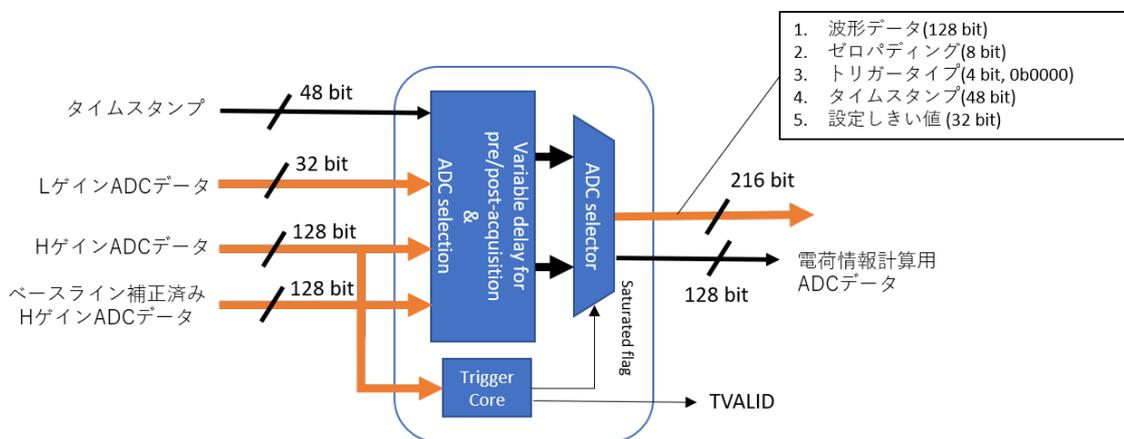


図 6.7 トリガーブロックの構成と入出力信号

図 6.6 は System Generator for DSP 2019.1 でのシミュレーションの結果を示す。各信号についてはキャプションで述べているため省略する。この結果から、浮動小数点および固定小数点の両方でベースライン補正がなされていることがシミュレーションで確認することができる。

以上により作成したブロックはデータフレーム生成やバッファ部およびデータ転送部の処理には影響を及ぼさないため、実機での検証は評価用ボードでのシステム検証にておこなった。

表 6.2 トリガーブロックの設定パラメータ

パラメータ名	bit 数	説明
Rising edge threshold	16	信号の立上りしきい値
Falling edge threshold	16	信号の立下りしきい値
H gain baseline	13	H ゲインのベースラインとする ADC 値
L gain baseline	16	L ゲインのベースラインとする ADC 値
Pre-acquisition length	2	取得する波形立上り前期間 (クロック数)
Post-acquisition length	2	取得する波形立下り後期間 (クロック数)
Acquire mode	2	取得モード。1bit 目が NORMAL モードおよび COMBIND モードの選択、2 bit 目が DSP ブロックの有効・無効の切り替えである。
Stop	1	0 の時のみ Trigger Core が動作する。詳細は前述した。

トリガーブロック

トリガーブロックの構成を図 6.7 に示す。トリガーブロックはトリガー判定およびサチレーションの検知を行う Trigger Core ブロックと、トリガーの立上りおよび立下りの前後を取得するための可変ディレイ、そして Trigger Core の信号を元にデータフレーム生成ブロックに送る波形データを選択する ADC selector によって構成される。入力データには各 ADC のデータと DSP ブロックにより補正されたデータ、タイムスタンプがある。出力データは生成した波形データとタイムスタンプなどの付随する信号を含んだ TDATA 信号と、トリガー信号に対応する TVALID 信号に加え、電荷情報計算用の ADC データがある。COMBINED モードに切り替わった際に H ゲインの ADC データで電荷情報を計算する必要があるためである。

また、トリガーブロックには表 6.2 のようなパラメータを設定できる。

Trigger Core には以下のようなアルゴリズムを実装した。

1. ADC データが Rising edge threshold を超えた場合か、サチレーションを検知した時点からトリガー開始
2. 8 サンプル連続で Falling edge threshold を下回った時点から Post-acquisition length で指定されたクロック数経過した時点でトリガー終了。このトリガー信号を TVALID 信号として出力する。
3. ADC データを Pre-acquisition length で指定されたクロック数だけディレイさせる。

以上のアルゴリズムを図示したものが図 6.8 である。

このトリガーブロックが正常に動作しているか検証するため、まず Vivado を使用したシミュレーションをおこなった。なお、このシミュレーションも含め、ロジック開発のシミュレーションでは、開発したロジックに特定のデータを入力し、出力されるデータを手動もしくは自動的に判定することで動作検証をおこなう。

トリガーブロックのシミュレーションの実行結果を図 6.9 に示す。テストベンチ上であらかじめトリガーが掛かる範囲が既知である波形データを生成し、トリガーブロックに入力する。トリガーブロックから出力される波形と、想定されるトリガー範囲が一致しているかをテストベンチ上で自動で比較している。また、図中には示されていないが、L ゲインに切り替わる波高のデータも入力しており、想定通りに COMBINED モードの波形データが出力されていることも確認している。

以上のシミュレーションを実行したのち、評価用ボードを使用したブロックの結合機能検証をおこなった。これはデータフレーム生成ブロックと組み合わせておこなった。図 6.10 に示すように、CPU からトリガーブロックに波形データを入力し、データフレーム生成ブロックからデータフレームを CPU 側へ出力した。

このデザインを使用して得られたテスト結果の一例を図 6.11 に示す。

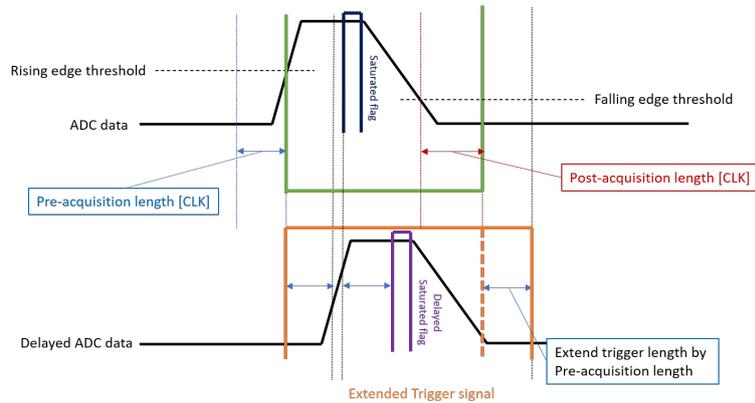


図 6.8 トリガー判定のアルゴリズム。Rising edge threshold を超えた後、Falling edge threshold を下回るまではトリガーがかかる。また、ADC データを Pre-acquisition length 分ディレイさせることで波形の立ち上がりのデータを取得する。また、立下りについてはトリガー信号を Post-acquisition length 分延長することで取得する。



図 6.9 トリガーブロックのシミュレーション結果。実際のシミュレーションでは入力データから想定される出力データと、トリガ信号でマスクした出力データを自動で比較している。

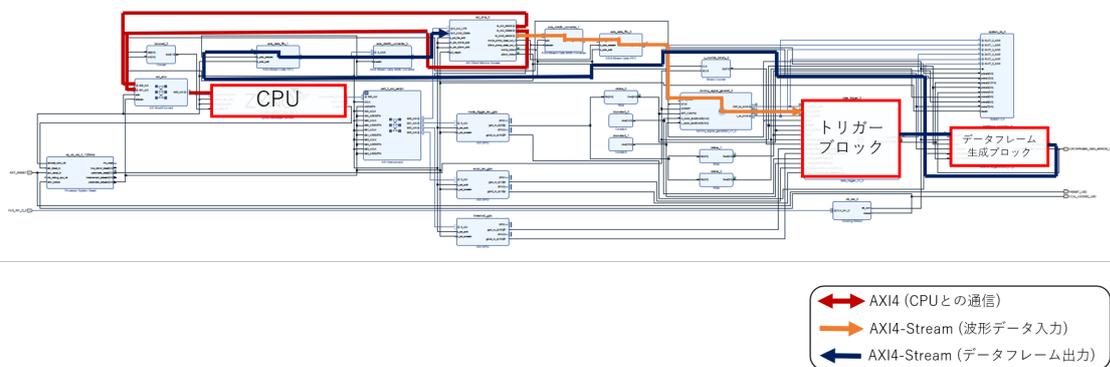


図 6.10 トリガーブロックの結合検証用のデザイン。Vivado で作成したブロックダイアグラムに注釈を入れている。

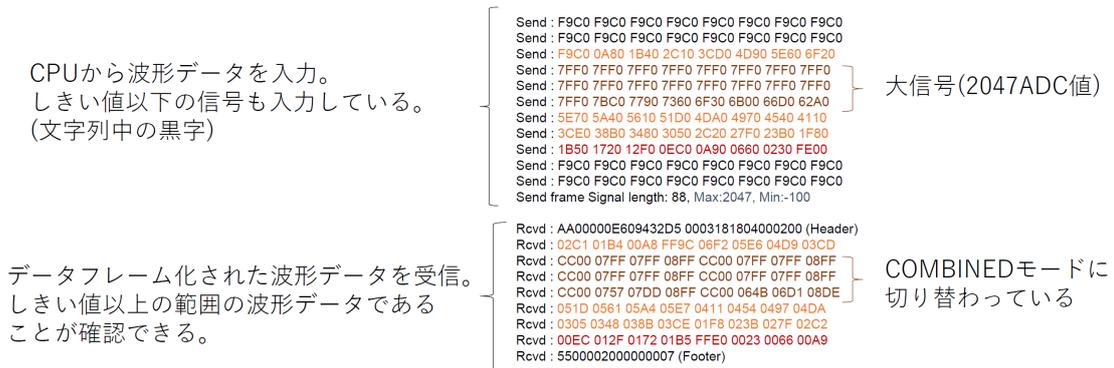


図 6.11 トリガブロックの結合テストの結果の一例

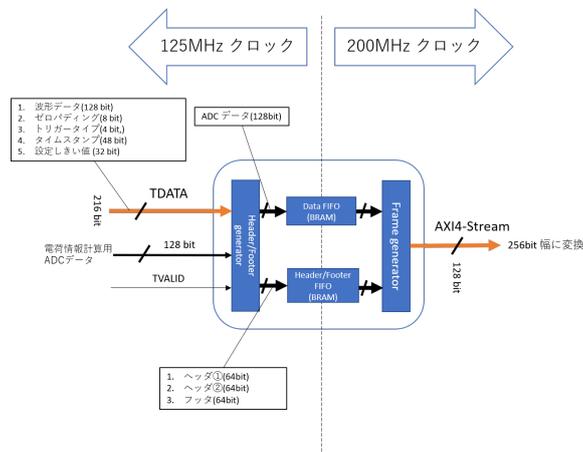


図 6.12 データフレーム生成ブロックの構成と入出力信号

図中の「Send : F9C0 F9C0 ...」の部分は CPU からロジックに入力した波形データであり、一行で 8 サンプルに相当する。各サンプルは 16 bit であり、RF Data Converter IP の出力データを再現*6している。

この例では、Pre-Acquisition length および Post-Acquisition length をそれぞれ 0 クロックと 1 クロック、ゲイン切り替えのしきい値を 2047ADC 値、Rising edge threshold を 1024、Falling threshold を 512 に設定していた。

「Rcvd : AA00...」の部分が実際のロジックの出力データである。出力データのうち、一行目と最終行はそれぞれヘッダとフッタである。ヘッダとフッタの間のデータがトリガ信号がかかった波形データである。波形データのうち、赤色文字は Post-Acquisition length の期間のデータであり、NOMAL モードで出力されている。茶色および橙色は Rising edge threshold を超えたデータであり、茶色文字は COMBINED モードに切り替わったデータ、橙色文字は NOMAL モードのデータである。NOMAL モードのデータの一行目である「Rcvd : 02C1 01B4 00A8 FF9C 06F2 05E6 04D9 03CD」にて初めて Rising edge threshold を上回り、データ取得が始まっている。その後、最終行の「Rcvd : 0305 0348 038B 03CE 01F8 023B 027F 02C2」で 1 クロックすべてのデータが Falling Threshold を下回り、その後設定した Post-Acquisition length 分のクロックのデータを取得していることがわかる。

データフレーム生成ブロック

データフレーム生成ブロックは図 6.12 に示すような構成と入出力信号となっている。Header/Footer generator ではトリガーブロックの出力データから電荷情報などを計算し、ヘッダ及びフッタを生成する。このヘッダ・フッタを ADC データの前後に挿入するため、バッファとして DATA_FIFO を備えている。その後 Frame Generator にて、Header/Footer FIFO を順次読み出し、ヘッダの波形データ長さに相当するデータを DATA_FIFO から読み出す。なお、Header/Footer FIFO が存在しているのは、データフレーム生成ブロック後段からの TREADY 信号を待つ必要があるためである。DATA_FIFO の容量は (2048 × 16) B に設定しており、Header/Footer FIFO には (1024 × 24) B を設定している。ただし、両方の容量は論理合成時に変更できる。

データフレーム生成ブロックの設定パラメータは MAX_TRIGGER_LENGTH のみである。これは、生成したデータフレームの最大サイズを設定するパラメータである。トリガーブロックの TVALID 信号 (トリガー信号) のクロック数が MAX_TRIGGER_LENGTH 以上であった場合、データフレーム生成ブロックはデータフレームを区切り、新たなデータフレームを生成する。これにより、後段の DDR メモリを FIFO の様に使用することができる。

次にデータフォーマットを図 6.13 に示す。

HEADER_ID[7:0](0xAA)	CH_ID[11:0]	Frame Length[11:0]	FRAME_INFO[3:0]	TRIGGER_TYPE[3:0]	TIME_STAMP[23:0]
ZERO_PADDING[7:0]	CHARGE_SUM(H Gain value)[23:0]				
Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]
Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]
COMBINED_ID[15:0](0xCC00)	Sign Extension[3:0] Signed Data[500Mps][11:0]				
COMBINED_ID[15:0](0xCC00)	Sign Extension[3:0] Signed Data[500Mps][11:0]				
Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]
Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]
Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]	Sign Extension[3:0] Signed Data[1Gps][11:0]
FOOTER_ID[7:0](0x55)	TIME_STAMP[47:24]	OBJECT_ID[31:0]			

図 6.13 データフォーマット

データフォーマットは 8 B を単位としている。これは FPGA の 10GbE のインターフェースのバス幅が 8 B であるためである。また、ヘッダには次の情報を格納している。

ヘッダ ID (8 bit)

0xAA をヘッダ ID としている。波形データの 8 B の先頭 4 bit は符号を表す領域であり、0x00 または 0xFF になる。そのため 0 と 1 が混在する bit 列は波形データの先頭には表れない。そのため 0xAA という ID を使用することによりヘッダを判別できる。

チャンネル ID (12 bit)

KamLAND2 では約 2000 本の PMT を使用する予定のため、余裕を持たせて 12 bit の幅としている。

波形データ長 (12 bit)

波形データ長には、格納している波形データの長さを 8 B 単位で格納している。

フレーム情報 (4 bit)

フレーム情報の初め 2 bit は

- 0b01: データ取得期間中で最初の波形である
- 0b10: データ取得寒中で最後の波形である

ことを表している。また 3 bit 目は次の情報を表す。

- 0b0: トリガー立ち上がり時のフレームではない。
- 0b1: トリガーたち下り時のフレームである。

*6 上位 12 bit が有効なデータ、下位 4 bit はゼロパディング

という情報を持っている。4 bit 目は以下の情報を表す。

- 0b0: トリガーの立下り時のフレームではない。
- 0b1: トリガーの立下り時のフレームである。

トリガータ입 (4 bit)

トリガータ입は、どのようなトリガーによりデータを取得したかを表す。現在は以下のタイプを実装している。

- 0b0000: Hardware Trigger 内部のトリガージックによるデータ取得 (以後、内部トリガと呼ぶ)
- 0b0001: 外部トリガによるデータ取得

タイムスタンプ④ (24 bit)

今回開発するロジックでは 125 MHz のクロックを使用している。また、KamLAND での慣例にならい、データ取得のサイクルを一日程度にすることを想定している。そのため、タイムスタンプの bit 幅としては 48 bit を採用している。ただし、現在開発中の新型 DAQ システムでは 1 msec 程度に区切ってソフトウェアトリガーをかけるため、一度に 48 bit を使用する必要はない。故にヘッダ部分にタイムスタンプのうち下位 24 bit を格納している。

電荷情報 (24 bit)

電荷情報にはデータフレームに格納している波形データの H ゲイン ADC 値の総和を記録している。H ゲインがサチレーションを起こしている範囲も、H ゲイン ADC 値の和をとっている。そのため、サチレーション時には実際の電荷よりも小さい値になる。しかし、サチレーションを起こすよう信号の電荷量は、1 p.e. 信号のそれに比べて非常に大きいためソフトウェアトリガーへの影響は小さいと考えられる。

トリガー設定/Reserved (32 bit)

ここには Hardware Trigger のトリガーでのしきい値情報を格納している。これは開発時のデバッグ用であるが、将来的にトリガーを改良して、電荷以外の別情報を格納する必要が生じることを考慮して予備的に残している。

フッタには次の情報を格納している。

フッタ ID (8 bit)

ID としては 0xFF を用いる。これはヘッダ ID と同様に 8 B を単位とするデータフォーマット中で一意に定まるためである。

タイムスタンプ⑤ (24 bit)

ここにはタイムスタンプの上位 24 bit を格納する。

オブジェクト ID (32 bit)

オブジェクト ID は、データ取得開始時からの累計のトリガーの立上り数が記録される。そのため、オブジェクト ID の単位時間当たりの増加量を計算することでヒットレートを逆算することができる。

加えて、H ゲインがサチレーションを起こした時の波形データの特別なフォーマットについて述べる。H ゲインの ADC 値が設定値を超えた際は、L ゲインのデータ 2 サンプルと、H ゲインの ADC データを平均して 500 Msps とした 2 サンプルを波形データとして格納する。この波形データの先頭 16 bit には Combined ID と呼ぶ特別な bit 列を設定する。この bit 列には 0xCC00 を採用している。このデータ取得モードを COMBIND モードと呼ぶ。なお、通常の H ゲインデータのみモードを NORMAL データと呼ぶ。

以上のデータフォーマットにしたがって生成されたデータフレームの整合性は、後段のブロックだけでなく、開発中の DAQ システムにも影響を与える。したがって、このブロックには高い信頼性が求められる。そこでこのブロックに関しては図 6.4 ですべての検証工程を踏んだ。

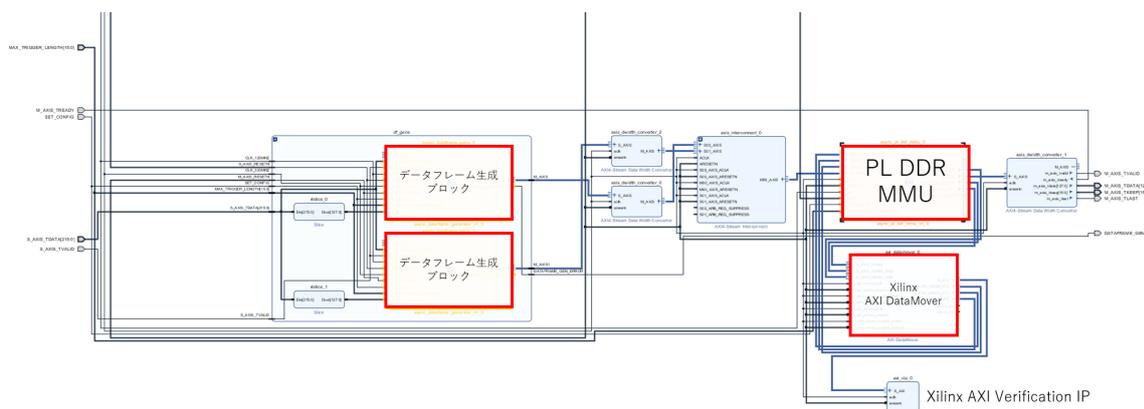


図 6.14 データフレーム生成ブロックのバッファ部との結合機能検証

まず、ブロック単体のシミュレーションをトリガブロックの場合と同様におこなった。シミュレーションではデータフレーム生成ブロックに入力するテストデータと想定されるデータフレームをあらかじめ用意し、実際のデータフレーム生成ブロックからの出力と比較して検証をおこなった。また、データフレーム生成ブロックの読み出しについては「連続読み出し・一定時間読み出し停止・ランダムタイミングでの読み出し」のそれぞれのパターンで検証をおこなった。約 2 MB のデータを入力し、想定される出力データとロジックの出力データが一致していることを確認した。

次に評価用ボードでの単体機能検証および結合機能検証をおこなった。この検証ではトリガブロックの場合と同様に CPU を使った検証をおこなった。こちらは、トリガブロックの検証結果とほぼ同様であるため省略する。

また、後段のバッファ部のブロックとのシミュレーションでの結合機能検証もおこなった。このシミュレーションでは DDR メモリの代わりに、Xilinx 社から提供されている AXI Verification IP を使用した。16 チャンネルデザインでのシミュレーションは時間がかかるため、2 チャンネルデザインでのシミュレーションをおこなった。図 6.14 にシミュレーションデザインを示す。

このシミュレーションの際にも、単体機能検証時と同様のテストデータを入力し、出力から想定したデータフレームが出力されているか確認をおこなった。加えて、AXI Verification IP を操作することにより、「連続・中断・ランダム」の 3 パターンでメモリの書き込み・読み出しを制限し、検証をおこなった。詳細は次節にて述べる。

6.2.2 バッファ部

バッファ部ではトリガ部からのデータのマージおよび DDR4 メモリへの書き込み・読み出しを制御する。これらは以下のブロックで構成される。

- Xilinx AXI4-Stream Interconnect
- Xilinx AXI DataMover
- PL DDR MMU
- Xilinx DDR4 MIG (DDR4 メモリ本体)

マージおよびメモリの直接の制御には信頼性が高いロジックが必要とされるため、自作ではなく Xilinx 社が提供しているライブラリを使用した。

Xilinx AXI4-Stream Interconnect

マージ用のブロックとして Xilinx AXI4-Stream Interconnect を使用した。AXI4-Stream Interconnect ブロックではチャンネルのマージを行う。マージを高速化するためには広いバス幅を必要とする。そのため、トリガー部の各チャンネルから送出される 128 bit 幅の AXI4-Stream を 256 bit または 512 bit に変換してマージを行っている。加えて、マージは入力 of 0 チャンネルから 15 チャンネルまで、データフレームごとに順番で出力チャンネルの占有権を切り替えることで行われる。^{*7}このような切り替えアルゴリズムを使用する理由は、実際の検出器上での各ボードのチャンネルの配置がまだ確定していないため、すべてのチャンネルが均等なヒットレートとなることを想定したためである。また、マージ中の待ち時間もデータを保持するために、各チャンネルにバッファとして (1024 × 32) B を設定している。

Xilinx AXI DataMover

DDR メモリへ書き込み・読み出しの制御には Xilinx AXI DataMover を使用した。AXI DataMover はメモリへの書き込み及び読み出しのコマンドを AXI4-Stream によって転送し、別途データを AXI4-Stream で送受信する。すなわち、AXI DataMover は AXI4 と AXI4-Stream の変換を行うブロックといえる。

PL DDR MMU

PL DDR MMU は AXI DataMover へデータフレームの書き込み・読み出しを行うコマンドを送信する。このブロックパラメータはデータフレーム生成ブロックと共通である。メモリに書き込んだ可変長のデータを読み出すためには、書き込みアドレスと波形データ長の両方を保持する必要がある。なぜならば、読み出す必要があるサイズを読み出し前に知っておく必要があるからである。これはメモリ容量が大きい場合に問題になる。例えば 4GB のメモリに平均 200 B 程度のデータを書き込むとすると、保持しなければならない「データサイズ」のサイズは以下になる。

$$\frac{\text{メモリサイズ}}{\text{データフレームの平均サイズ}} \times \text{波形データ長のサイズ} = \frac{4[\text{GB}]}{200[\text{B}]} \times 12[\text{bit}] \sim 32[\text{MB}]$$

32 MB ものメモリは FPGA 上には存在しないため、波形データ長を保持しない方法を採用する必要がある。そこで、データフレーム当たりに格納できる波形データ長に最大波形データ長 (MAX_TRIGGER_LENGTH に対応) を定めた。最大波形データ長の波形データを格納したデータフレームのサイズ (以下、最大サイズと呼ぶ) を単位にして、書き込みと読み出しを行うことで FIFO の様に DDR4 メモリを使用することができる。この方法のデメリットとしては、メモリ使用率が悪化することが挙げられる。最大サイズ未満のデータフレームを書き込む場合、使用されないアドレスが存在するためである。なお、本フロントエンド回路では殆どが 1 p.e. 信号であるためこの波形データ長に合わせて MAX_TRIGGER_LENGTH パラメータを調整すれば、メモリ使用効率の低下は抑えられると考えられる。ただし、長時間の信号を書き込む場合はヘッダおよびフッタがメモリを圧迫するというデメリットがあるため、連続データ取得性能などが要求仕様を満たせなかった場合は、この部分を改善する必要がある。

このブロックの開発では、シミュレーションによる結合機能検証と、評価ボードでの結合機能検証をおこなった。シミュレーションによる結合機能検証では、データフレーム生成ブロックを含めない場合と含めた場合の二通りのシミュレーションをおこなった。データフレーム生成ブロックを使用しない検証では、ヘッダとフッタおよびダミーの波形データを持ったデータフレーム、テストベンチ上で生成した。このデータフレームを PL DDR MMU ブロックに入力し、AXI DataMover を通じて書き込んだデータと読み出したデータが一致しているかの検証をおこなった。この検証は AXI Verification IP に設定したアドレス空間を一巡するまで繰り返し、異常がないことを確認

^{*7} これをラウンドロビンアルゴリズムという。

した。データフレーム生成ブロックとの結合検証ではテストデータを入力し、データフレーム生成ブロックが生成したブロックを AXI Verification IP へ書き込んだ。この検証では読み出したデータフレームのヘッダを確認し、波形データ長が読み出したデータ長と一致しているかを確認した。こちらについても、AXI Verification IP のアドレス空間を一巡する範囲までおこなった。

6.2.3 データ転送部

本研究においてデータ転送部はデバッグ手段という位置づけになっている。FPGA 単体でイーサネット通信を行う場合、SiTCP と呼ばれるライブラリを使用することが一般的である。SiTCP とは FPGA 単体で TCP または UDP 通信を可能とするライブラリであり、2020 年現在は 1GbE および 10GbE のベータ版が提供されている。しかし、今回使用している ZU29DR も含め、Xilinx 社の UltraScale+ シリーズの FPGA には対応していない。また、Xilinx 社から提供されているライブラリは有料であるため、今回のようなデバッグ手段には適さない。

そのため、Xilinx 社が無償で提供している AXI DMA と呼ばれるライブラリを使用して、CPU 側へデータを転送し、CPU から 1GbE により外部 PC へデータ転送を行う方法を採用した。AXI DMA とは、AXI4 プロトコルにより FPGA 側のデータを CPU 側の DDR4 メモリに転送する機能を持つブロックである。これを Direct Memory Access という。DMA の実行は CPU 上で動作するプログラムにより制御される。今回は開発時間を考慮し、リアルタイム OS(RTOS) を使用した。RTOS とは、通常のプログラムでの main 関数に相当する関数を複数実行するためのスケジューラーのような役割をする。この main 関数に相当する関数をタスクと呼ぶ。Xilinx は標準で FreeRTOS と呼ばれるオープンソースの RTOS をサポートしており、AXI DMA の制御や TCP/IP 通信を FreeRTOS から行うことができる。今回は次のようなタスクを作成した。

コマンド制御タスク

このタスクは最も優先度の高いタスクである。このタスクは外部 PC からコマンドを受信し、コマンドに応じた処理を実行する。なお、外部 PC からの接続には Telnet を用いた。DMA の実行・データ転送中はこのタスクはスリープ状態になる。

AXI DMA 制御タスク

AXI DMA 制御タスクは二番目に優先度の高いタスクである。DMA の実行はこのタスクから行われ、完了時に CPU に割り込み通知が入力される。割り込みを検知した後は、データフレーム検証用の関数を通して、ヘッダ・フッタが欠損していないか、波形データ長が正しいか等の確認をおこなう。一定サイズのデータが転送された後はデータ転送タスクに移る。

データ転送タスク

データ転送タスクはその名の通り、外部 PC へデータフレームを転送するタスクである。データの整合性は AXI DMA 制御タスクで保証されているため、このタスクではデータ転送のみを行う。一定データサイズを転送した後は AXI DMA 制御タスクに移る。また、送信した総データサイズも記録しており、コマンド制御タスクで設定した値を超えた場合は、送信を終了し、コマンド制御タスクに戻る。

DMA には Simple transfer モードと Scatter Gather(SG) モードがある。Simple Transfer モードでは一回の実行ごとに CPU が DMA 転送命令を実行する。SG モードでは、総転送サイズと分割転送サイズを指定し、DMA による転送サイズが総転送サイズに達するまで、分割転送サイズの DMA を自動で実行する。今回は実装が単純な Simple Transfer モードを使用した。

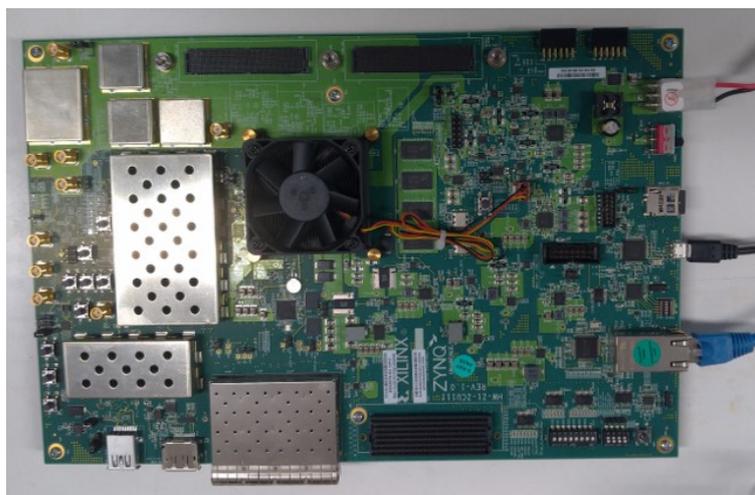


図 6.15 ZCU111 評価用ボード。アナログ回路は取り外してある。図中上部にアナログ回路の拡張ボードを接続して使用する。

6.3 評価用ボードによるシステム検証

システム検証では ZCU111 評価用ボードを使用した。(図 6.15)

次に ZCU111 の詳細を示す。

表 6.3 ZCU111 の詳細

パーツ	パーツ名	備考
FPGA	ZU28DR	ZU29DR と同系統の RFSoc。ADC および DAC は 8 チャンネル。ADC の最大サンプリングレートは 4.096Gsps。分解能は ZU29DR と共通。またロジックサイズ等も共通である。
メモリ	DDR4-2600	CPU 及び FPGA 側にそれぞれ 4 GB 実装。ともにバス幅は 64bit で、最大データレートは 21.3 GB/sec
データ転送用 インターフェース	多数	1GbE(イーサネットケーブル) SFP28 ポート × 4
アナログ回路	RF 信号用ボード	ZCU111 の RFMC ソケットに接続して使用する拡張ボード。シングルエンド用ポート × 4、差動ポート × 4、ADC・DAC で同数。すべてのポートにハイパスフィルタが挿入されている。

ZCU111 は元々 RF 信号向けの評価用ボードである。そのため、ZCU111 に付属しているアナログ回路は数 MHz から数 GHz の RF 信号を想定しており、DC 成分をカットするためのコンデンサが各ポートに挿入されている。そのため、図 6.16 のようなアナログ回路用拡張ボードを用意した。これを FEA ボードと呼ぶ。

また、FEA ボードの仕様²⁸を表 6.4 に示す。

FEA ボードの回路デザインはマサチューセッツ工科大学の Spencer 氏により設計された。FEA ボードには H ゲインと L ゲインのペアが計 3 チャンネル設けられているが、そのうち 2 チャンネルは不備により正常に信号が増幅されない。しかし、これは開発したロジックの動作確認という点では大きな影響を及ぼさないため、これら ZCU111 と FEA ボードを使ったシステム検証をおこなった。



図 6.16 FEA ボード。図中左側の ZCU111 ボードに接続して使用する。

表 6.4 FEA ボードの仕様

ゲインチャンネル	増幅率	入力電圧範囲	備考
H	$\times 3.9$ (6 [dB])	+100 mV から -150 mV	小信号用チャンネル。RF-ADC を使用。
L	$\times 0.063$ (-24 [dB])	+100 mV から -8 V	大信号用チャンネル。RF-ADC 使用

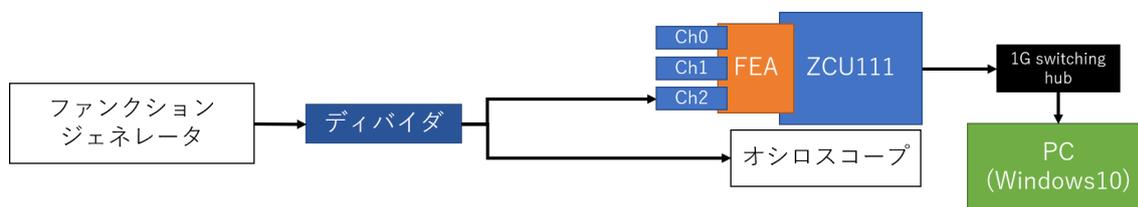


図 6.17 評価用ボードによるデータ取得動作確認のセットアップ

6.3.1 データ取得の動作確認

データ取得の動作確認では、外部トリガによる連続データ取得をおこなった。セットアップの様子と模式図を図 6.17 に示す。

このセットアップを使用して、まず動作チャンネルのみで連続データ取得をおこなった。このデータ取得では取得するデータサイズを 256 MB に設定した。256 MB に設定した理由としては、4 GB を 16 チャンネルで均等に使用する場合、1 チャンネル当たり 256 MB が割り当てられるためである。また、正常にデータが取得できているか確認するため、動作しているチャンネル (図 6.17 中の Ch2) に 1 MHz の方形波を入力した。

取得したデータを図 6.18 に示す。なお、プロットの都合上、最後の 30 μ sec をプロットしている。この結果より、約 124 msec のデータが正常に取得できていることが確認できた。

次に動作しない 2 チャンネルも含めたデータ取得もおこなった。まず、データ取得サイズを 256 MB に設定した場合の結果を図 6.19 に示す。

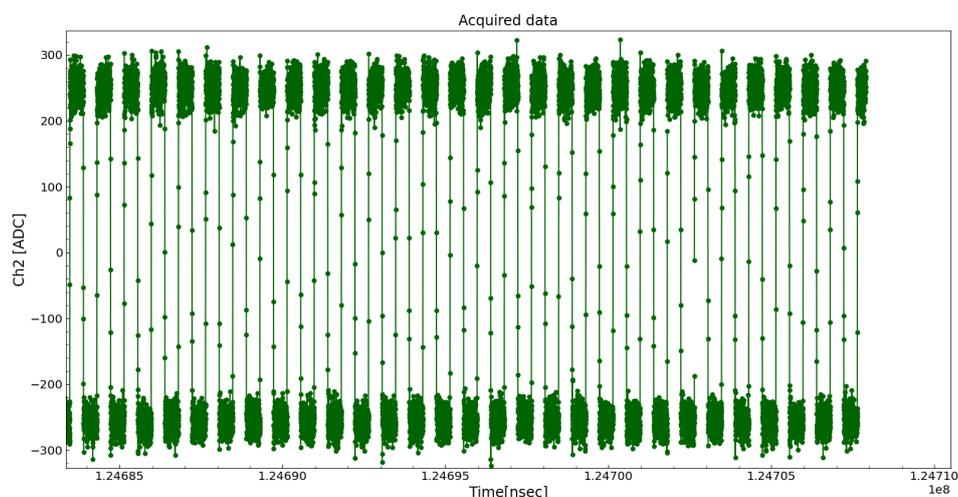


図 6.18 ZCU111 による単一チャンネルの連続データ取得。最後の $30\ \mu\text{sec}$ をプロットしている。

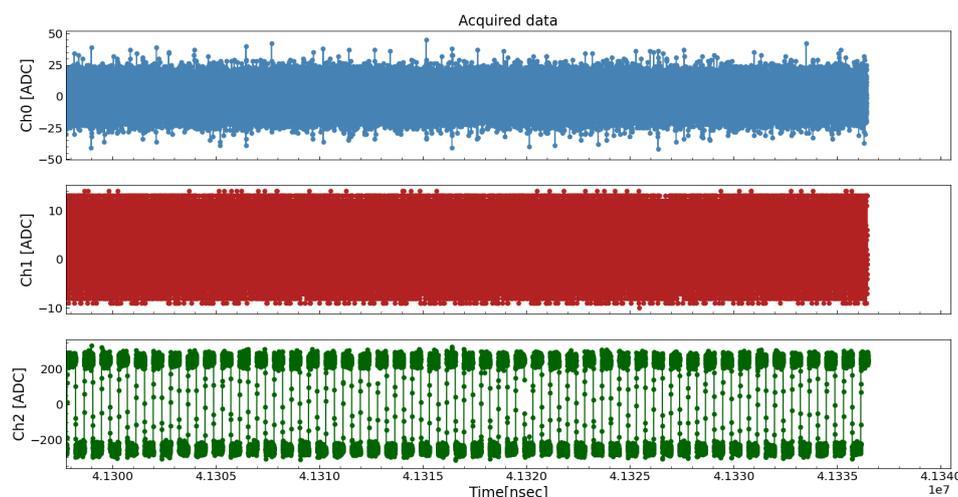


図 6.19 ZCU111 による全チャンネルの連続データ取得。最後の $30\ \mu\text{sec}$ をプロットしている。Ch2 の $4.1329 \times 10^7\ \text{nsec}$ 付近でデータが途切れているように見えるが、これはデータフレームの切れ目が波形の立上りに重なったためにこのように見える。

この結果から、各チャンネルで約 $41\ \text{msec}$ のデータが取得できていることが確認できた。また、データ取得サイズは $512\ \text{MB}$ に設定し、連続データ取得が可能であることを確認した。取得時間としてはのべ約 $77\ \text{msec}$ のデータに相当する。

連続データ取得では、チャンネルあたり $2\ \text{GB/sec}$ のデータレートが発生する。したがって、これらの検証では、図 6.1 のバッファ部分は $6\ \text{GB/sec}$ のデータレートに対し、問題なく DDR4 メモリにデータをバッファリングできていることが確認できたといえる。

ただし、これは 3 チャンネルでの評価であること、プロトタイプボードと評価用ボードでは DDR4 メモリの仕様が異なることから、ここでは連続データ取得性能に関する議論はせず、あくまでデータ取得の動作確認の検証で

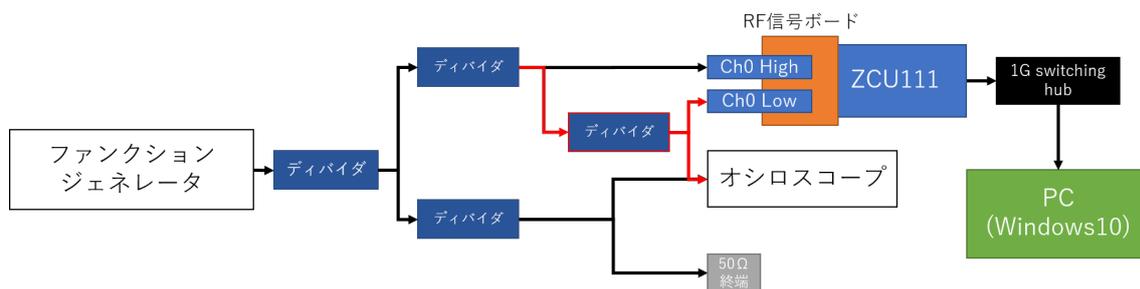


図 6.21 ゲイン切り替え機能確認時のセットアップ。図中"Ch0 High"が H ゲインチャンネル、"Ch0 Low"が L ゲインチャンネルに相当する。

ある。

6.3.2 トリガーの動作確認

次に、トリガー部が正常に動作しているかを確認した。セットアップは図 6.17 と共通である。入力には 1 MHz の方形波を入力した。波形を二次元ヒストグラムにプロットしたものを図 6.20 に示す。取得時間は 83 msec である。

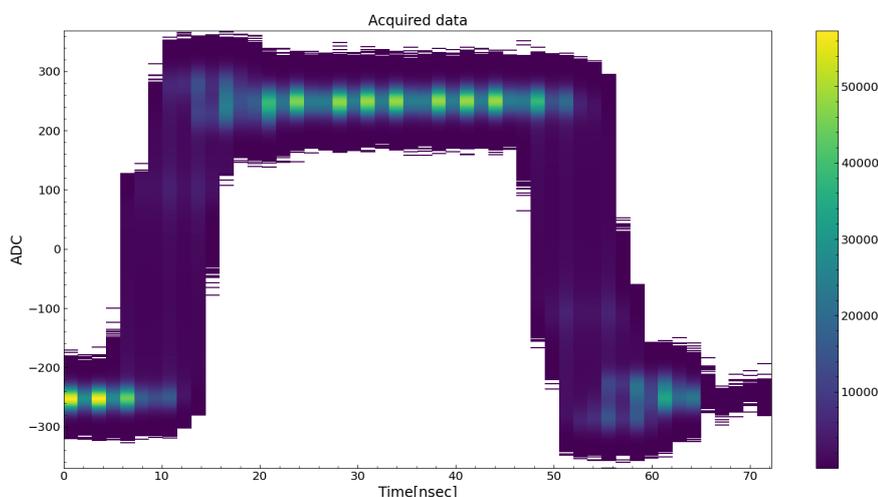


図 6.20 トリガーによるデータ取得の結果

Rising edge threshold は $ADC = 128$ 、Falling edge threshold は $ADC = 128$ に設定している。また、Pre-acquisition length は $1 \text{ CLK} = 8 \text{ nsec}$ 、Post-acquisition length は $1 \text{ CLK} = 8 \text{ nsec}$ に設定している。この結果から、想定通りロジックが動作していることが確認できた。

6.3.3 ゲイン切り替え機能の確認

この節ではゲイン切り替えの動作確認の結果を示す。セットアップを図 6.21 に示す。ただし、この検証時には FEA ボードを用意することができなかったため、ZCU111 に付属の RF 信号ボードを使用している。RF 信号ボードではゲインチャンネルのようなものは実装されていない。そのため、H ゲインと L ゲインを再現するため、片

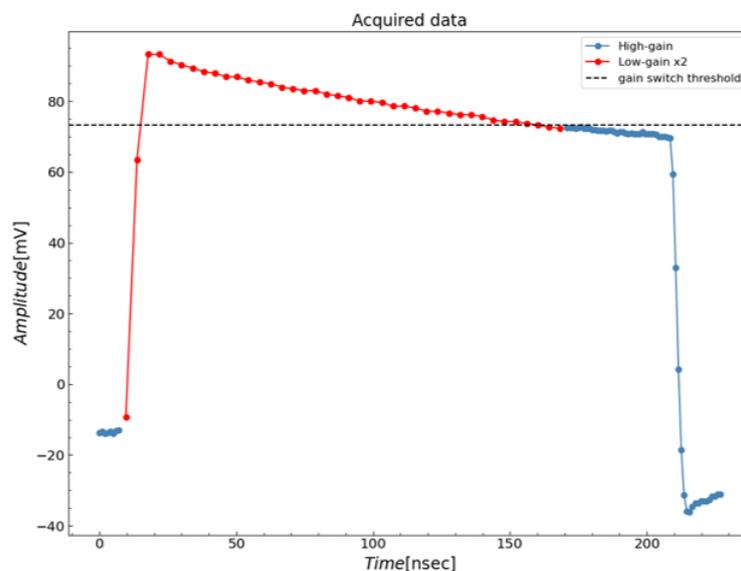


図 6.22 ゲイン切り替えの確認結果。図中赤線が L ゲインのデータを二倍にしてプロットしたもの、青線が H ゲインのデータである。図中破線がゲイン切り替えのしきい値である。

方のポートにディバイダを挿入し、アッテネータの代替とした。入力信号は幅 200 nsec、波高 500 mV のパルスとした。

図 6.22 にゲイン切り替えの確認結果を示す。図中青線が H ゲイン、赤線が L ゲインでデータ取得した範囲である。破線はゲイン切り替えのしきい値であり、切り替え確認用に意図的に低い値に設定している。切り替え初めにしきい値以下で切り替わっているのは、H ゲインと L ゲインの経路差が原因であると考えられる。このセットアップでは、L ゲイン側にディバイダを挿入しているため、H ゲインの信号経路長は L ゲインよりも短い。ゲイン切り替えは H ゲインの値で切り替わるため、L ゲインではしきい値を超えていない範囲でもゲイン切り替えが発生するためである。

6.3.4 評価用ボードを使用したシステム検証のまとめ

以上の検証により、開発したファームウェアが以下の機能を持つことが確認できた。

外部トリガによる 3 チャンネル同時の連続データ取得

この検証により、外部トリガ・複数チャンネルのデータのマージ・FPGA 側 DDR4 メモリへのバッファリングが正常に動作することが確認できた。

内部トリガによるパルス状信号のデータ取得

この検証により、内部トリガが正常に動作することが確認できた。

大信号入力時のゲイン切り替え

この検証により、ゲイン切り替えに伴ってデータフォーマットが切り替わること・ゲイン切り替えをするしきい値を任意に変更できることが確認できた。

次章では、このファームウェアをプロトタイプボードに移植しておこなった評価結果について述べる。

第7章

新型フロントエンド回路の性能評価

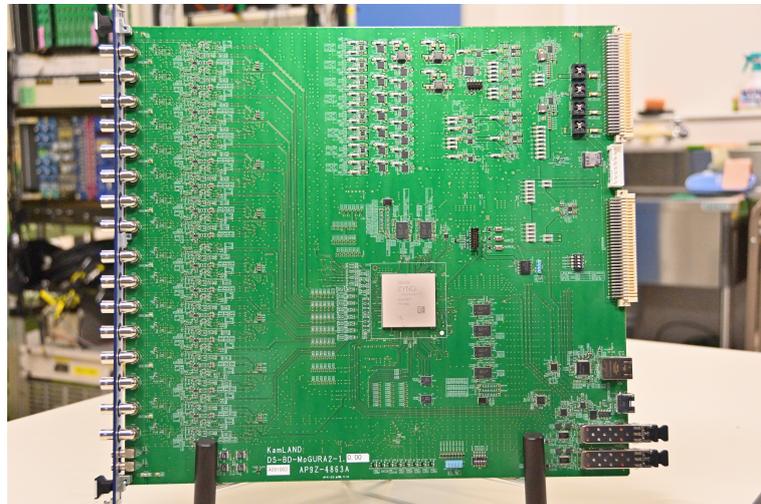


図 7.1 新型フロントエンド回路のプロトタイプボード

5章の仕様を元に図 7.1 に示すプロトタイプボードを開発した。しかし、検証の中で現段階ではアナログおよびデジタルの両面において問題があることが明らかとなった。この問題も含め、プロトタイプボードによる評価の結果を述べる。

7.1 現時点でのアナログ回路特性の評価

アナログ回路特性の評価では L ゲイン ADC の正常動作が確認できなかったため、すべて H ゲインチャンネルでおこなった。L ゲイン ADC の動作不良の原因としては、ボード上の L ゲイン ADC のデータ転送用の信号線の長さの違いにより、バス間の同期がとれていないためであると予想される。これについては、ボードの製造業者と調整をおこなっている。

7.1.1 周波数特性

図 7.2 に周波数特性の測定結果を示す。周波数特性の評価では、プロトタイプボードの Ch0 に振幅が約 90 mV の sin 波を入力し、H ゲインチャンネルによりデータ取得を行った。得られたデータを H ゲイン ADC の入力段での電圧値に変換し、sin 関数でフィッティングすることで振幅を求めた。この振幅と実際に入力した sin 波の振幅との比を増幅率とした。図中の 80 MHz のデータ点はフィッティングに失敗した点である。このフィットの詳細を図

7.3 に示す。原因としては、入力した sin 波の周波数が安定していなかったためであると考えられる。

評価結果からはフラットな周波数特性が得られていないことが分かる。図 7.2 のシミュレーション結果にあるように、理想回路では 100 MHz までの領域でフラットな周波数応答が得られることがわかっているため、回路中にシミュレーションでは再現できていない部分が存在している可能性が考えられる。大量生産版のボードではこの不具合を解消するため、調査を続けている。

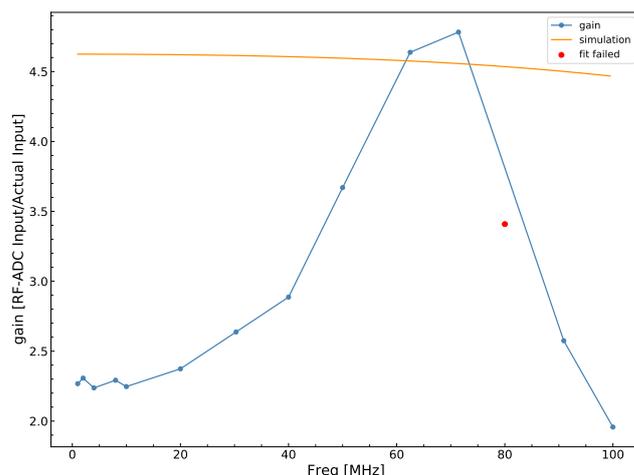


図 7.2 周波数特性の測定結果。図中赤点はフィッティングに失敗した点である。また、橙色実線はプロトタイプボードに実装した理想回路のシミュレーション結果である。

7.1.2 無信号時の RMS 値の評価

フラットな周波数特性ではないため参考値とはなるが大量生産版ボードへの改良の指標となるため、RMS 値を測定した。測定時にはデバッグ用の ATX 電源ではなく、VME クレート電源を使用した。これは ATX 電源は大きなスイッチングノイズを発生させるため、RMS 値の測定には適していないと考えたためである。

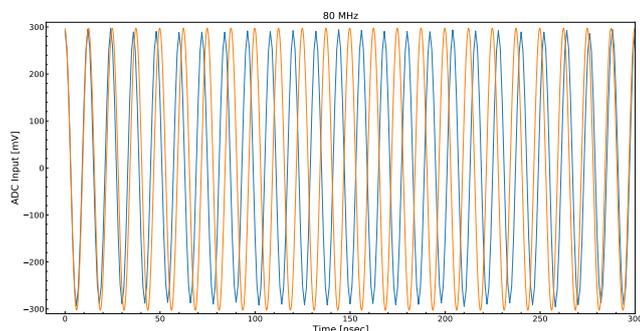
図 7.4 に結果を示す。なお、ベースラインはすべて差し引いている。また、各チャンネルの測定時間は約 34 μsec である。仮に増幅率を 4.8 倍とした場合、全チャンネルにおいて約 0.1 mV を上回る。したがって、現状は目標を達成できていないといえる。なお、評価用ボードで得られている ADC 入力での RMS 値は 0.5 mV 程度であり、アナログ回路が RMS 値を大きくする原因であると考えられる。

7.2 現時点でのデータ取得性能の評価

開発したファームウェアをプロトタイプボードに移植したところ、FPGA 側 DDR4 メモリの書き込みデータと読み出しデータが一致しない不具合が判明した。そこで、FPGA に内蔵されている URAM1 MB 分を代替として実装したところ、正常に書き込みと読み出しが可能であることを確認した。

原因については現在調査中であるが、現段階では FPGA 側 DDR4 メモリをバッファとして利用できないため、URAM1 MB を代替のバッファとして使用したロジックのデータ取得性能の評価をおこなった。なお、すべての測定において MAX_TRIGGER_LENGTH は 14 CLK = 112 nsec に設定した。

(a) フィットに失敗した場合 (80 MHz)



(b) フィットに成功した場合 (90 MHz)

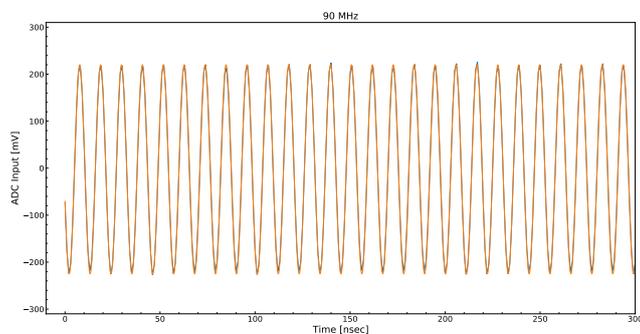


図 7.3 図 7.2 中のフィッティング例。図中青線が測定データ、橙色線がフィット結果である。縦軸は ADC 入力の電圧値、横軸は時間である。

7.2.1 ヒットレート耐性

ヒットレート耐性は、データ転送部を **Dummy Receiver** ブロックに置き換えたロジックデザインで評価をおこなった。**Dummy Receiver** ブロックを使用することで、バッファ部の最大読み出しレートのもとで評価をおこなうことができる。FPGA 側 DDR4 メモリのような巨大なバッファが使用できる場合は、デバッグ用に実装したデータ転送部のボトルネックを考慮したうえで、ヒットレート耐性の評価をおこなうことができるが、現時点では使用できないため、このような対応をとっている。

なお、**Dummy Receiver** ブロックはデータフレームサイズの累積値のみを記録している。これにより、バッファ部からのデータフレームを常に受信することができる。また、他の機能としてデータ取得開始からの経過時間のカウンタと内部バッファ **FULL** の検知機能を実装している。「データフレームサイズの累積値」・「データ取得開始からの経過時間」・「内部バッファ **FULL** の検知結果」は常に **Dummy Receiver** ブロックから出力されており、これらのデータを CPU 側で記録することによりヒットレート耐性の評価をおこなう。

また、データ取得時は幅 100 nsec のパルスを外トリガとして利用した。本来であれば内部トリガを使用すべきであるが、**L** ゲイン ADC が正常動作していないため、使用していない。これは、**H** ゲイン・**L** ゲインの両方の ADC が正常動作しなければ内部トリガがかからない仕様になっているためである。^{*1}

まず図 7.5 にデータ取得率の測定結果を示す。なお、すべての点において 8 秒間の測定を行った。また、各点に

^{*1} 厳密には **L** ゲイン ADC からの AXI4-Stream で **TVALID** 信号が 0 の場合は内部トリガがかからない仕様になっている。

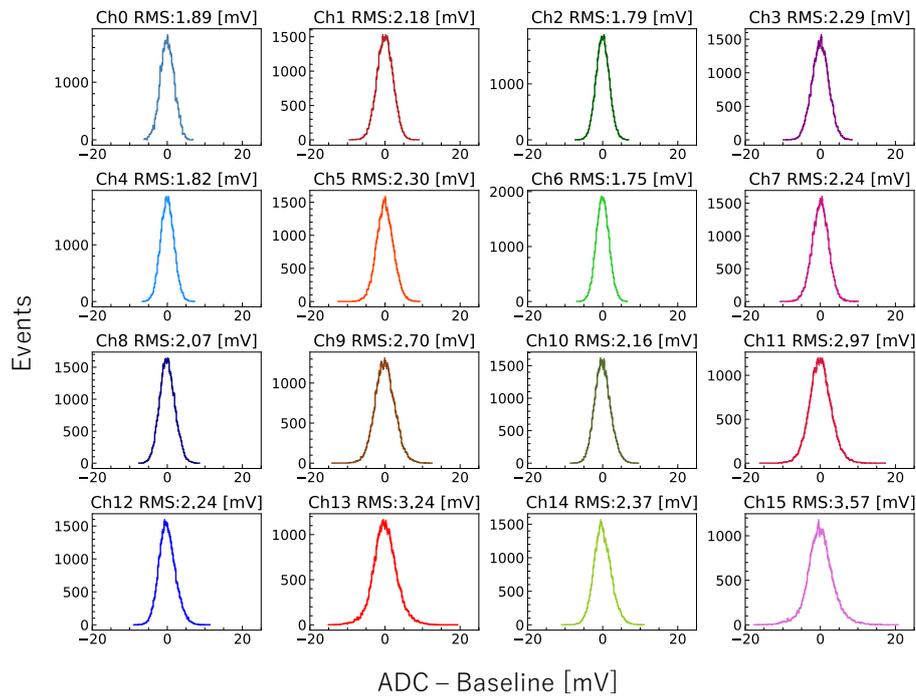


図 7.4 プロトタイプボードの全チャンネルの RMS 値。横軸は ADC 入力段での電圧値、縦軸は頻度である。各グラフのタイトルにチャンネル番号と RMS 値を記載している。測定時間は約 34 μsec である。

おける期待されるデータサイズは次のように計算した。

$$\begin{aligned}
 & \text{期待されるデータサイズ} \\
 & = \text{ヒットレート} \cdot 1 \text{ パルス当たりのデータフレームサイズ} \cdot \text{チャンネル数} \cdot \text{取得時間} \\
 & = \text{ヒットレート} [\text{Hz/Ch}] \cdot 232 [\text{B}] \cdot 16 [\text{Ch}] \cdot 8 \text{ sec} \\
 & = \text{ヒットレート} [\text{Hz/Ch}] \cdot 3712 [\text{B}] \cdot 8 \text{ sec}
 \end{aligned}$$

ここで 1 パルス当たりのデータフレームサイズは次のように計算される。

$$\begin{aligned}
 1 \text{ パルス当たりのデータフレームサイズ} & = \text{パルス幅} \cdot \text{サンプルサイズ} + \text{ヘッダ及びフッタの実効サイズ} \\
 & = 100 [\text{nsec}] \cdot 2 [\text{B/nsec}] + 32 [\text{B}] = 232 [\text{B}]
 \end{aligned}$$

この結果、開発したロジック単体では最大約 480 kHz のヒットレートまで恒常的に取得可能であることが確認された。したがって、PMT の典型的なダークレートである 20 kHz の恒常的なデータ取得の要請を満たしていることが確認できた。

図 7.6 に内部バッファが FULL になるまでの時間を計測した結果を示す。図中の橙色破線は、本測定結果を次のような関数でフィッティングしたものである。

$$t_{\text{full}} [\text{sec}] = \frac{B_{\text{total}} [\text{B}]}{(r [\text{Hz/Ch}] - R_{\text{max}} [\text{Hz/Ch}]) \cdot 232 [\text{B}] \cdot 16 [\text{Ch}]} \quad (7.1)$$

なお、 t_{full} はバッファ FULL までの時間、 B_{total} はロジック内の全バッファサイズ、 R_{max} は定常的に取得可能なヒットレートの最大値である。フィッティングの結果、 $B_{\text{total}} = 2.00 \text{ MB}$ 、 $R_{\text{max}} = 480.77 \text{ kHz}$ となった。ロジック内のバッファサイズは、トリガー部および AXI4-Stream Interconnect で 1 MB、DDR4 メモリの代用としている URAM で 1 MB の合計 2 MB であるので、式 7.1 は適切なモデルであると考えられる。

この関数に $B_{\text{total}} = 4096 \text{ MB}$ 、DAQ の読み出しレート 640 Mbps から逆算できる最大レート $R_{\text{max}} = 21 \text{ kHz}$ を代入すると図 7.6 中の赤色破線のような結果となる。この結果から、FPGA 側の DDR4 メモリを使用して DAQ へ

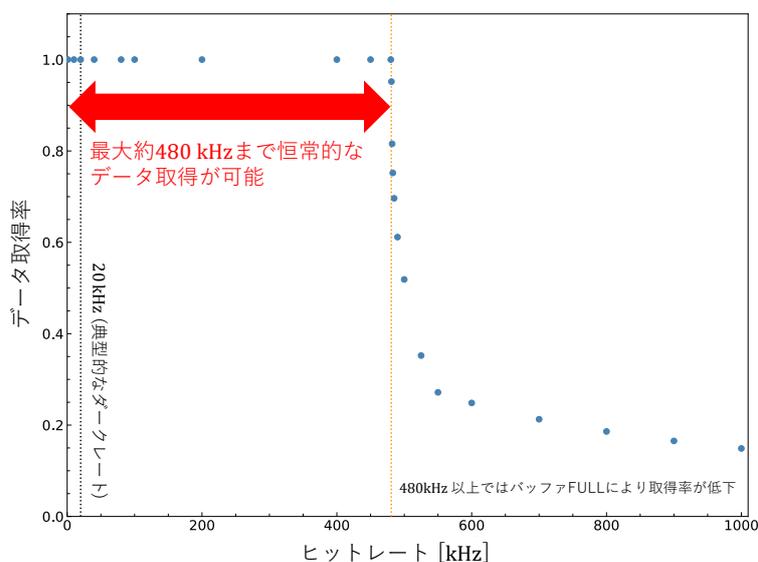


図 7.5 ヒットレートごとのデータ取得率の測定結果。取得時間から期待されるデータサイズに対して、実際に得られたデータサイズの割合から計算した。

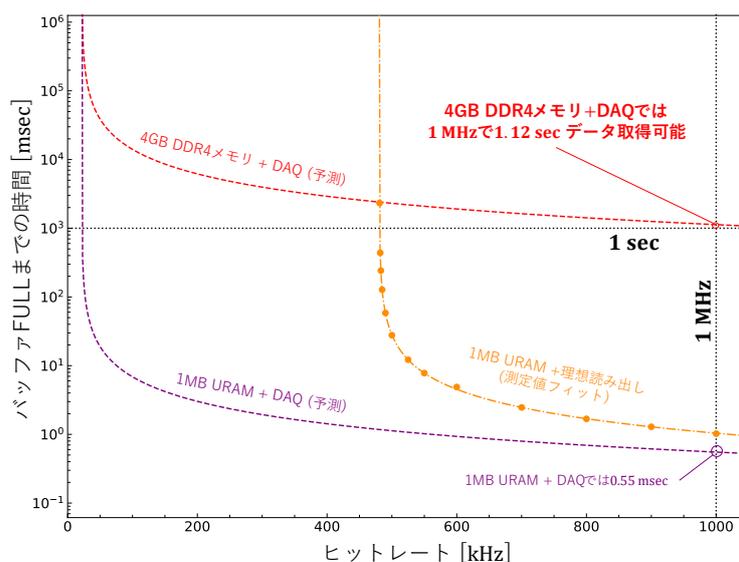


図 7.6 内部バッファ FULL までの時間の計測結果。内部バッファ FULL が検知されるまでに受信したデータフレームサイズから時間を逆算した。目標値は 1 MHz で 1 sec 間のデータ取得である。

データ転送を行った場合には 1 MHz のヒットレートで 1.12 秒間のデータ取得が可能であることが予測される。この間に連続的に取得したイベント数は 1.12×10^6 であるため、5 章のデータ取得性能への要請 1 を満たしているといえる。なお、図中紫色破線は、1MB の URAM を使用して DAQ ヘデータ転送を行う場合の予測値である。

7.2.2 連続データ取得性能

連続データ取得性能の検証では、外部トリガに DC 信号を流すことで全チャンネル同時に連続データ取得を行った。結果を図 7.7 に示す。この結果より全チャンネルで $33.728 \mu\text{sec}$ の連続データ取得が可能なが確認できた。

これは5章のデータ取得性能への要請2である $10\mu\text{sec}$ の約3倍であり、要請を満たしている。

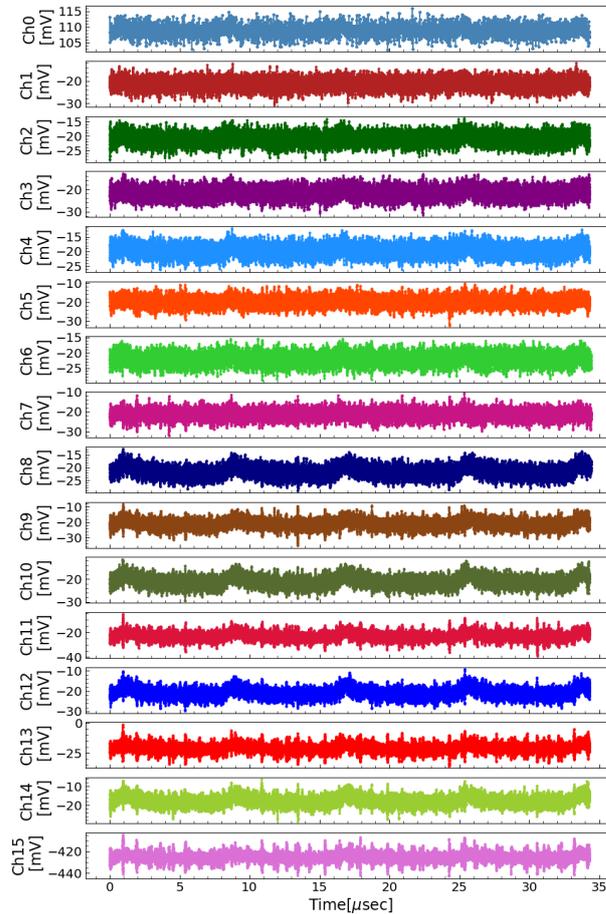


図 7.7 連続データ取得の結果。なおすべて ADC 入力段の電圧値である。

また、総データサイズは約 1.2MB であった。これはロジック内の総バッファサイズである 2MB より小さい。これは、URAM への書き込みレートがボトルネックになっているためであると考えられる。今回、代替として使用した URAM の最大書き込みレートは約 6.4GB/sec 程度*2である。一方、連続データ取得時の総データレートは

*2 ただし、これは URAM の性能上限ではなく、コントローラーに使用している AXI BRAM Controller による制限である。

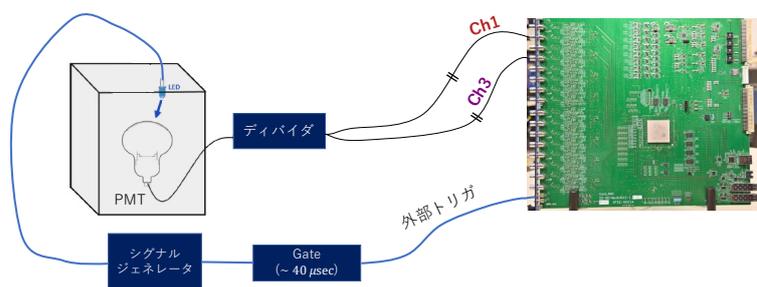


図 7.8 PMT 信号取得のセットアップ

ヘッダとフッタを含めると次のように計算される。

$$\begin{aligned}
 \text{総データレート} &= \text{波形データのみのデータレート} \cdot \left(1 + \frac{\text{ヘッダ・フッタのサイズ}}{\text{データフレーム当たりの波形データサイズ}} \right) \cdot \text{チャンネル数} \\
 &= \text{波形データのみのデータレート} \cdot \left(1 + \frac{\text{ヘッダ・フッタのサイズ}}{\text{MAX_TRIGGER_LENGTH} \cdot 2 [\text{B/nsec}]} \right) \cdot \text{チャンネル数} \\
 &= 2 [\text{GB/sec/Ch}] \cdot \left(1 + \frac{32 [\text{B}]}{112 [\text{nsec}] \cdot 2 [\text{B/nsec/Ch}]} \right) \cdot 16 [\text{Ch}] \\
 &\sim 36.6 [\text{GB/sec}]
 \end{aligned}$$

よって、総データレート > URAM の最大書き込みレート であるので、URAM への書き込みレートがボトルネックとなることがわかる。

また、取得した総データサイズは URAM を除いたバッファサイズである 1 MB よりも大きいため、ボトルネックは URAM の書き込みレートのみであると考えられる。FPGA 側の DDR4 メモリの最大データレートは 9.6 GB/sec であるので、連続データ取得可能時間をさらに伸ばすことも可能であると予想される。

7.3 その他機能評価

7.3.1 PMT 信号の取得とベースライン補正効果の確認

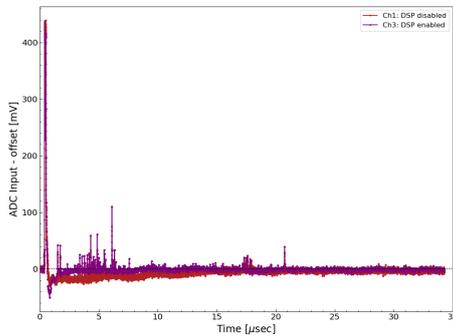
実際に PMT 信号をプロトタイプボードで取得した結果について述べる。図 7.8 にセットアップの模式図を示す。このセットアップで 20-inch PMT に LED 光を入射し、ミュオン信号を再現した。LED 発光信号から生成した 40 μsec のゲート信号を外部トリガとしてデータ取得をおこなった。Ch1 および Ch3 を使用しているのは、アナログ回路が同仕様のチャンネル同士で比較するためである。

図 7.9 に取得した波形を示す。なお、デジタル信号処理によるベースライン補正の効果を確認するため、それぞれのチャンネルのデータ開始 350 nsec の平均値をオフセットして差し引いている。

結果より PMT 信号を正常に取得できていることが確認できた。また、DSP ブロックによるベースライン補正についても、Ch3 のベースラインが Ch1 よりも先に 0 mV に復帰していることが確認できた。特に、2 μsec 程度で復帰できていることから、ミュオン後直後のオーバーシュート (ADC 側ではアンダーシュート) の期間は 10 μsec の連続データ取得、その後は内部トリガによるデータ取得をおこなうといった手法が、中性子捕獲事象や Michel Electron の検出に有効であると考えられる。

ただし、今回入力した信号よりも高いエネルギーのミュオンが入射した場合、ベースライン復帰が連続データ取得の期間内に収まらない可能性がある。また、今回の実装したはあくまで概念実証であるので、今後の開発に期待する。

(a) 取得した PMT 信号 (全体)



(b) 取得した PMT 信号 (0 μsec から 12 μsec まで拡大)

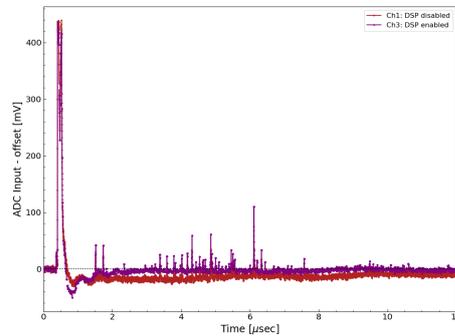


図 7.9 取得した PMT 信号。Ch1 はベースライン補正なし、Ch3 はベースライン補正ありである。縦軸は ADC 入力段からオフセットを引いた電圧値である。また、図中の黒破線は 0 mV を表している。

7.3.2 ベースライン設定用 DAC の動作確認

機能確認としてベースライン設定用 DAC の動作確認をおこなった。DAC 出力設定用レジスタ値を 62 から 718 まで変更し、H ゲイン ADC 入力を取得した。ただし、この評価に関してのみ、プロトタイプボードの製造業者によるサンプルデザインにて確認した。図 7.10 に結果を示す。この結果、ADC 入力段で -200 mV から 400 mV までの範囲で設定できることが分かった。ただし、各点のデータは典型値であるので、振れ幅を持つことには留意すべき点である。

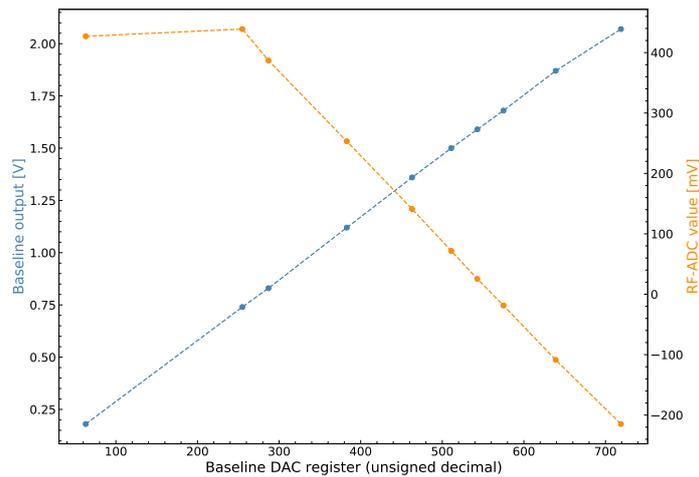


図 7.10 ベースライン設定 DAC の動作確認。左軸はベースライン設定用の出力電圧。右軸は ADC 入力の電圧値である。横軸は設定したレジスタ値である。

7.3.3 消費電力

VME クレート電源を使用して消費電力の測定をおこなった。ただし、データ取得・転送はおこなっていない状態である。表 7.1 に結果を示す。

表 7.1 各電源系統ごとの消費電力の実測値

電源系統	電流	消費電力
+12 V	約 0.7 A	8.4 W
-12 V	約 0.2 A	2.4 W
+5.0 V	約 7.0 A	35.0 W
+3.3 V	約 1.0 A	3.3 W
合計	約 8.9 A	49.1 W

MoGURA はデータ取得・転送をおこなっていない状態で 42 W あり、おこなっている状態では 74 W である。データ取得・転送を行っていない状態では MoGURA の方が省電力であるが、実運用では逆転することが期待される。なぜならば、新型フロントエンド回路ではデータ転送に 10GbE を使用するのに対し、MoGURA は VME バスを使用するためである。一般的に光ファイバーの 10GbE の消費電力は VME バスの消費電力よりも小さいため、データ取得・転送をおこなう状態では新型フロントエンド回路は消費電力を低減できることが見込まれる。

第 8 章

結論と課題

8.1 現段階における新型フロントエンド回路の性能

まずは、本研究の背景と目的について振り返る。本研究の背景には、KamLAND2 実験での運用を想定して新型フロントエンド回路を新型 DAQ システムと共に開発し、KamLAND-Zen 800 実験に段階的に新型フロントエンド回路を導入する計画がある。この新型フロントエンド回路には、現行フロントエンド回路におけるデータ取得性能の課題点を解決し、なおかつ新型 DAQ システムからの要請を満たすことが求められている。したがって本研究では、これらの要請を満たすことを目的として、ファームウェア開発を中心に開発をおこなった。以下、開発した回路が要請を満たしたかどうかについて、原因の考察とともに述べる。

8.1.1 アナログ回路性能

アナログ回路に対する要請は、基本的には現行フロントエンド回路と同等の性能を満たすことであった。周波数帯域に関しては将来的な仕様変更を想定し、余裕を持たせた性能を設定していた。以下に 5 章で述べた各目標と評価結果、そしてその原因の考察についてまとめる。

+0.5 から -7.5 V までの電圧入力に対応すること

プロトタイプボードでは L ゲイン ADC の正常動作を確認することができなかったため、現段階では目標 1 が達成されているかどうかは不明とする。L ゲイン ADC が動作しない原因は、ボード上の L ゲイン ADC のデータ転送用のバスライン間の長さの違いにより、バス間のタイミングが一致していないことにあると考えられている。これは L ゲイン ADC の設定を調整し、バス間の同期をとることで解決できると考えられる。残念ながら時間的制約により、本論文に反映することはできなかったため、今後の課題とする。

100 MHz までの周波数帯域をもつこと

H ゲインチャンネルの評価結果から、10 MHz 程度までは 2.3 倍前後で推移し、10 MHz から 100 MHz にかけては 70 MHz で最大 4.8 倍のブロードなピークを描く周波数特性が得られた。この結果から周波数帯域を議論することはしないが、目標を満たしていないことは明らかである。

理想回路のシミュレーションでは 100 MHz まで約 4.6 倍前後のフラットな周波数特性が得られることがわかっている。そのため、実装されているアナログ回路と理想回路の間になんらかの差異が存在し、評価結果で得られたような周波数特性の原因となっていることが予想される。現在、この差異をプロトタイプボードの製造業者とともに特定中である。

信号未入力の状態では約 0.1 mV 程度の RMS 値であること

H ゲインチャンネルの評価結果から、仮に増幅率を 4.8 倍とした場合、入力換算では約 0.4 mV から 0.7 mV 程度となる。したがって、現段階では目標値よりも 4 倍から 7 倍程度大きい RMS 値である。ただし、周波数特性はフラットではないため、あくまで参考値である。

原因として、理想回路のシミュレーションでは約 4.6 倍の増幅率であったのに対し、評価結果では 70 MHz で最大 4.8 倍であることから、高周波ノイズが増幅されていることが考えられる。また、すでに述べた理想回路と実際の回路間の違いが、何らかの原因でノイズ源となっている可能性もある。この件についても、プロトタイプボードの製造業者とともに原因を調査している最中である。

8.1.2 データ取得性能

データ取得性能は新型 DAQ システムからの要請と、現行フロントエンド回路の課題点からの要請が存在した。新型 DAQ システムからの要請は、物理事象かどうかにかかわらず全ての 1 p.e. 以上の信号の波形データを恒常的に DAQ コンピュータに転送することである。これは、新型 DAQ システムがソフトウェアによる物理事象判定を行うために全ての波形データを必要とするためであった。また、現行フロントエンド回路の課題点は、ミューオン信号直後の波形データを取得できないこと、近傍超新星爆発時にデータ取得率を下げることなくデータ取得を継続できない点であった。以降、各要請と対応する評価結果、そしてその考察をおこなう。

通常時における全 1 p.e. 信号波形データ取得・転送

この要請に対しては「幅 100 nsec・レート 25 kHz のパルスに対し継続的なデータ取得が可能であること」という目標を設定した。これに対し、最大約 480 kHz のレートまで恒常的にデータ取得可能であることがヒットレート耐性の評価結果から確認された。したがって目標の約 19 倍のヒットレートまで対応できるロジックを開発することに成功したといえる。

考慮すべき点として、1 MB の URAM を FPGA 側 DDR4 メモリの代替として使用した点が挙げられる。だが、FPGA 側 DDR4 メモリを最大レートで動作させた場合、URAM よりも高速な書き込みレートが期待できるため、結論に影響しないと考えられる。なお、この結果はあくまでロジック単体での性能であるため、今後は 10GbE の実装方法を決定することが課題である。

ミューオン信号後 10 μ sec 以上の波形データの連続取得

目標として「10 μ sec の間データを連続取得することが可能であること」を設定した。これに対し、全チャンネル同時に約 34 μ sec の連続データ取得が可能であることが確認できた。したがって目標の約 3 倍の長さの連続データ取得性能を持っていることが確認された。考慮すべき点として 1 MB の URAM を FPGA 側 DDR4 メモリの代替として使用した点が挙げられるが、前節と同様の理由で結論に影響しないと考えられる。

また、今回は外部トリガを使用してデータ取得をおこなった。そのため、ミューオン信号用のトリガー機能を実装することが今後の課題として挙げられる。

近傍超新星時のロスなしデータ取得

目標としては「幅 100 nsec・レート 1 MHz のパルスを 10^6 イベント分、連続でバッファリングすることが可能であること」を設定した。これに対し、実運用時で 1 MHz のパルスを 1.12×10^6 イベント分取得可能なことが予想された。したがって、ベテルギウスを想定した超新星爆発時は少なくとも 1 秒以上の間、すべてのイベントの波形データを取得できるデータ性能をもっていると考えられる。

なお、以上の結果は 1 MB の URAM を FPGA 側 DDR4 メモリの代替として使用した結果からの予測であることは考慮すべきである。厳密なデータ取得性能を求めるには、FPGA 側の DDR4 メモリを実際に使用したロジックデザインで評価を行う必要がある。加えて今後の課題としては、オンボードバッファが FULL になる前にヘッダ及びフッタだけを送信してデータ取得時間を延ばす機能を実装することなどが挙げられる。

8.1.3 その他動作確認について

最後に、その他機能の確認結果を次に示す。

- DSP ブロックによるベースライン補正効果の確認
ミューオンを模した PMT 信号で検証した結果、 $2\mu\text{sec}$ 程度でベースラインを回復できることが確認できた。
- ベースライン設定用 DAC の動作 CPU 側から DAC の設定値を変更することで約 -200 mV から 400 mV の範囲でベースラインを変更できることを確認した。
- 消費電力の確認データ取得・転送を行わない状態で 1 ボード当たり約 49 W であることを確認した。
- ゲイン切り替えの動作確認
残念ながら L ゲイン ADC の正常動作が確認できていないため、今後の課題となる。ただし開発したロジックデザインと同等のデザインを評価用ボードに実装した際には、ゲイン切り替えが確認できている。

以上の評価結果から、アナログ回路性能と一部機能については課題が残るものの、データ取得性能についてはすべての要請を達成しており、本研究の目的を達成したといえる。

8.2 今後の開発計画

8.2.1 アナログ系

最優先の課題は周波数応答の正常化である。これについては、現在、プロトタイプボードの製造業者とともに原因究明をおこなっている。また、並行して最終段のオペアンプまわりの抵抗値の調整をおこなうことで、特性の改善を試みている。

また、RMS 値についても、現状の増幅率で目標を達成できない場合は、増幅率を大きく設定することで入力換算の RMS 値を下げるなど、最適化をおこなう必要がある。ただし、周波数応答の正常化とともに解決される可能性がある。

デジタル系

デジタル系で最優先となるのは FPGA 側 DDR4 メモリの正常動作である。次に優先されるべきは L ゲイン ADC の正常動作である。これらに関してはプロトタイプボード製造業者と共に各種パラメータの最適化をおこなっていく。

また、10GbE の実装方法を決定する必要がある、これによりデータ転送部のデザインの最適化をおこなう必要がある。特に CPU を使用した方法をとる場合、AXI DMA を Simple Transfer モードではなく SG モードで運用する必要があると考えられる。また、複数の AXI DMA を使用することでバス幅を増強し、CPU へのデータ転送をより高速化することも考えられる。

さらに、BRAM および URAM をメインのバッファとして使用することを前提にしたデザインを視野に入れるべきである。これは FPGA 側の DDR4 メモリが低速な動作モードでしか利用できない場合の対応策である。

具体的には、すべてのチャンネルのトリガー部のデータフレーム生成ブロックの直後に、BRAM または URAM を使用した FIFO を挿入することなどが考えられる。

付録

A AMBA® AXI4 プロトコルの仕様

AXI4 プロトコルにはマスターとスレーブが存在する。マスターがデータの書き込みまたはデータの読み出し命令をスレーブに送出し、スレーブはこれに応答してデータの受け入れ・データの書き出しを行う。また、図 A.1 に示すような VALID 信号と READY 信号によるハンドシェイクをプロトコルの基本とする。

(a) VALID 信号が先にアサートされていた場合

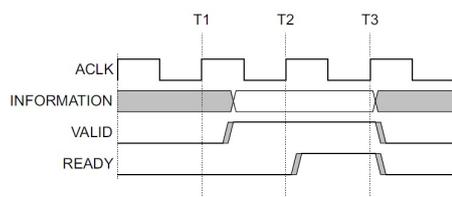


Figure A3-2 VALID before READY handshake

(b) READY 信号が先にアサートされていた場合

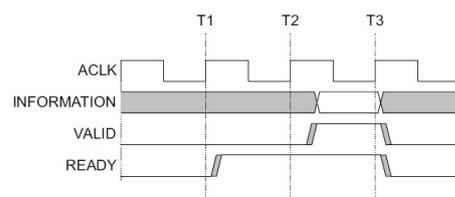


Figure A3-3 READY before VALID handshake

図 A.1 基本となるハンドシェイク²⁹。ACLK はクロック、INFORMATION はアドレスやデータなどの転送対象となる情報である。

VALID 信号は転送する情報が有効であることを表す信号で、READY 信号はデータが受け入れ可能かを示す信号である。このハンドシェイクで順守しなければならない点として次の二点が挙げられる。

- VALID 信号をアサートするのに READY 信号がアサートされるのを待つてはならない
- VALID 信号は READY 信号がデアサートされている間にデアサートしてはならない

一つ目の点は最も重要で、これを遵守しない場合、マスターとスレーブが互いの信号をアサートされるのを待つてしまい、デッドロックに陥ってしまう。また、二点目は AXI4 プロトコルにおいてデータの送出側が送出先を待つ必要があることを示している。このため、データの送出元となるインターフェースには多くの場合 FIFO を必要とする。

以上、VALID と READY と INFORMATION に相当する信号ペアをチャンネルと呼ぶ。AXI4 プロトコルは、このチャンネルが一つ以上の組み合わせられて構成されている。このチャンネルの組み合わせ方の違いにより、AXI4、AXI4-Lite、AXI4-Stream が存在する。本節では各プロトコルの信号については述べず、その用途と使用するチャンネルについて簡潔に述べる。

A.1 AXI4 および AXI4-Lite のチャンネル

AXI4 および AXI4-Lite プロトコルにはアドレスとデータの受け渡しに表 A.1 のようなチャンネルを用いる。

表 A.1 AXI4 プロトコルのチャンネル一覧

チャンネル名	用途
AW	書き込みアドレス・サイズ・転送方式
W	書き込みデータ
B	書き込みトランザクション応答用
AR	読み出しアドレス・サイズ・転送方式
R	読み出しデータ

ここで書き込みトランザクションとは AW チャンネルと W チャンネルの両方のハンドシェイクを意味しており、データの書き込みが正常に行われたかどうかの情報を B チャンネルでは転送する。

A.2 AXI4-Stream の信号

AXI4-Stream はプロトコルは 1 チャンネルのみで構成されているため、使用する信号を表 A.1 に示す。

表 A.2 AXI4-Stream の信号

信号名	用途
TVALID	転送データ有効
TREADY	スレーブ側がデータを受け入れ可能
TDATA	転送データ
TLAST	最終データ

B 評価用ボードによる RF-DAC の動作確認

今回開発したロジックとは直接関係しないが、RF-ADC 入力から RF-DAC 出力までのレイテンシの測定結果を示す。これは、今後 RF-DAC をアナログ的なベースライン補正を行う可能性があるためである。測定では次のようなセットアップとした。このセットアップにおいて、ファンクションジェネレータから 1 MHz の方形波を入力し、RF-DAC から方形波が出力されるまでの時間を測定した。入力波形と出力波形をオシロスコープで確認した結果を図 B.3 に示す。

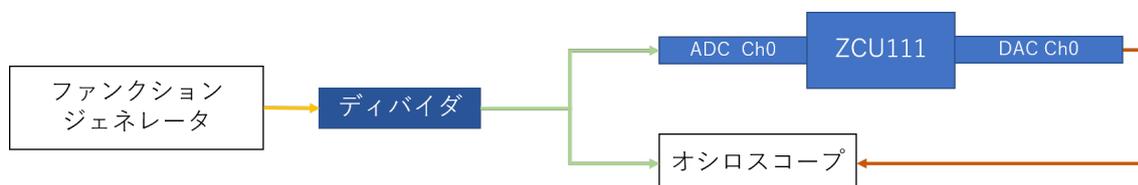


図 B.2 RF-DAC のレイテンシ測定のためのセットアップ

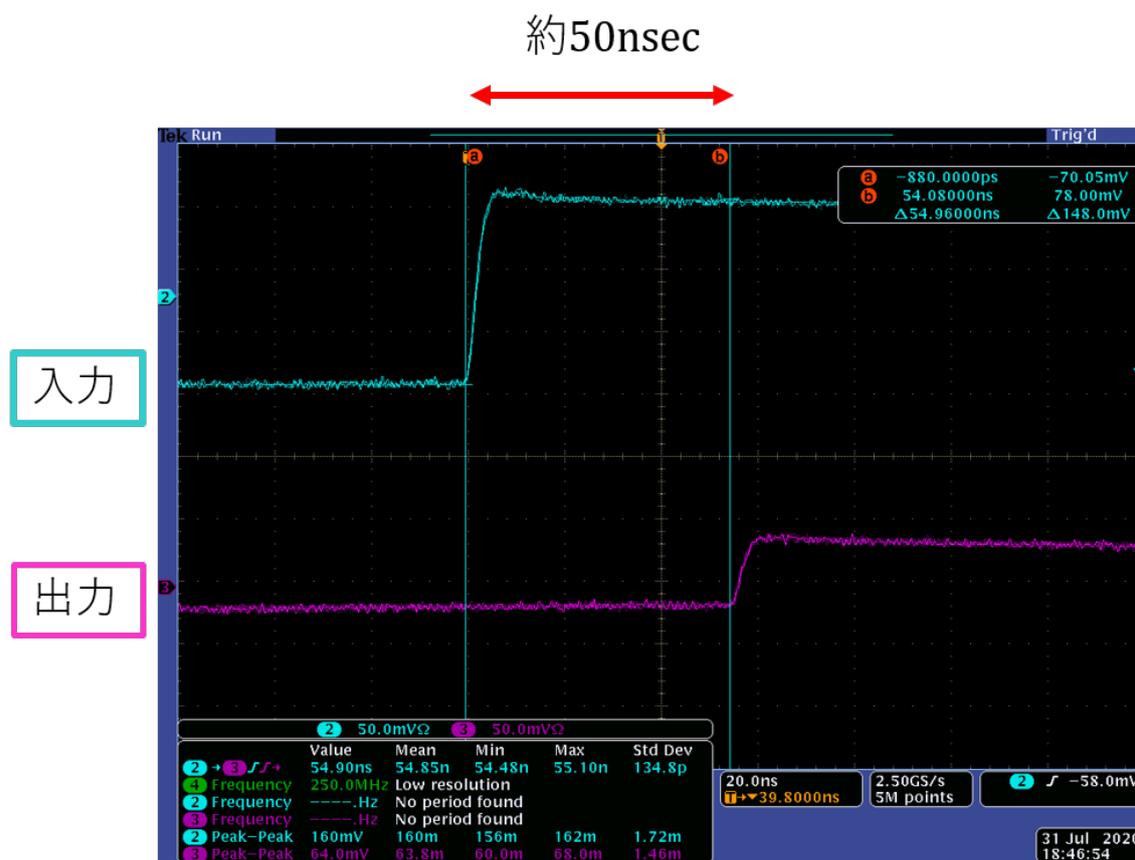


図 B.3 RF-ADC への入力波形と RF-DAC 出力波形

この結果から、RF-ADC から RF-DAC の出力までは約 50 nsec 程度のレイテンシが存在することが分かった。なお、FPGA 内では RF-ADC と RF-DAC 間の AXI4-Stream のバス幅変換を行うために 30 nsec 程度消費している。

C ロジックのポート解説

ここでは、6 章では述べなかったブロックごとのポートの解説などをおこなう。

RFSoc RF Data Converter

このブロックは RF-ADC および RF-DAC のコンフィグレーション・データの入出力をおこなう。主要なポートについて説明を述べる。以後変数の型について次のような表現を用いる。

- intXX: XXbit の符号付き整数
- uintXX: XXbit の符号なし整数
- fixYY_ZZ: 整数部 YYbit、小数部 ZZbit の固定小数点
- Type × S: Type 型のデータを S サンプルまとめたもの (例: int16 × 8)

表 C.3 RFSoc RF Data Converter ブロックの主要ポート

ポート名	信号方向	クロック	説明
s_axi_aclk	In	N/A	s_axi のクロック (125MHz)
s_axi_aresetn	In	s_axi_aclk	s_axi のリセット (Active Low)
s_axi	Slave	s_axi_aclk	コンフィグレーション用 AXI
sysref_in	In	N/A	RF-ADC/DAC のリファレンスクロック (31.25MHz)
user_sysref_adc	In	N/A	PL クロックと ADC の同期用クロック (7.8125MHz)
user_sysref_dac	In	N/A	PL クロックと DAC の同期用クロック (7.8125MHz)
adcX_clk	In	N/A	Tile X の ADC 駆動クロック (250MHz)
clk_adcX	Out	N/A	Tile X の PL 用クロック。MTS デザインでは使用しない
vinXZ	In	N/A	Tile X の Z 番目の ADC 入力
mX_axis_aclk	In	N/A	mXY_axis のクロック (125MHz)
mX_axis_aresetn	In	mX_axis_aclk	mXY_axis のリセット
mXY_axis	Master	mX_axis_aclk	Tile X の Y 番目の ADC データ出力用 AXI4Stream (fix12_4 × 8)
dacX_clk	In	N/A	Tile X の DAC 駆動クロック (250MHz)
clk_dacX	Out	N/A	Tile X の PL 用クロック。MTS デザインでは使用しない
voutXZ	Out	N/A	Tile X の Z 番目の DAC 出力
sX_axis_aclk	In	N/A	sXY_axis のクロック (125MHz)
sX_axis_aresetn	In	sX_axis_aclk	sXY_axis のリセット (Active Low)
sXY_axis	Slave	sX_axis_aclk	Tile X の Y 番目の DAC データ入力用 AXI4Stream (fix14_2 × 1)

user_sysref_adc および user_sysref_dac はの Multi-Tile Synchronization デザイン (MTS デザイン) で使用する。詳細は Xilinx 社のプロダクトガイド (PG269) を参照されたい。また今回は使用していないが IP の設定からリアルタイムポートを enable にすることで、ADC のダイナミックレンジ以上の信号が入力された際にフラグを出力する機能などを利用することができる。こちらもプロダクトガイドを参照されたい。

また、mXY_axis の `tready` 信号は無視されるため常に High にしておくことを推奨する。tdata 信号は 1 サンプルを 16bit とし 8 サンプル (128bit) が出力される。1 サンプルは下位 4bit を小数部とした固定小数点で出力されていると思われる (正式な説明がプロダクトガイドには載っていないため推定である)。実際に使用するときは、上位 12bit をスライスして使用することを推奨する。

C.1 トリガー部

DSP ブロック (simple_dsp_block)

デジタル信号処理用のブロック (図 C.4) である。以下にポートを示す。なお、dac_m_axis ポートと digital_baseline ポートは必須ではない。

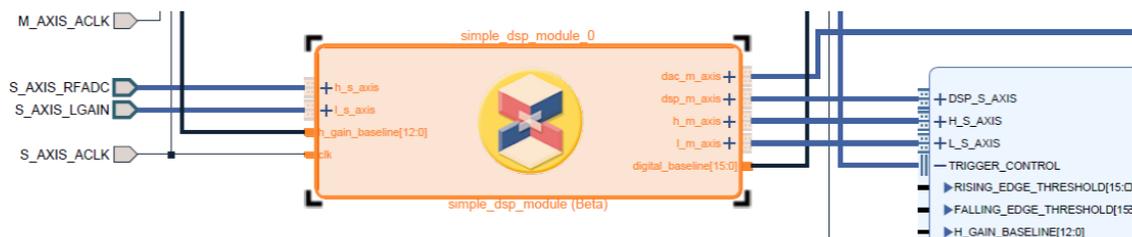


図 C.4 DSP ブロック

表 C.4 DSP ブロックのポート

ポート名	信号方向	クロック	説明
clk	In	N/A	DSP ブロックの駆動クロック (125MHz)
h_s_axis	Slave	clk	RF Data Converter からの ADC データを入力するポート
l_s_axis	Slave	clk	L ゲイン ADC データを入力するポート
h_gain_baseline	In	clk	絶対的なベースライン (0V 相当) にする ADC 値 (int13)
dac_m_axis	Master	clk	RF Data Converter の DAC データ入力へ接続する AXI4Stream (fix14_2 x 1)
dsp_m_axis	Master	clk	デジタル信号処理を施したデータの出力用 AXI4Stream (int16 x 8)
h_m_axis	Master	clk	RF-ADC データの出力用 AXI4Stream (fix12_4 x 8)
l_m_axis	Master	clk	L ゲイン ADC データの出力用 AXI4Stream (int16 x 2)
digital_baseline	Master	clk	DSP ブロック内部で算出したベースライン値の確認用ポート (int16)

トリガブロック (data_trigger)

トリガブロック (図 C.5) は現行 FEE における Hit 判定を行う機能を持つブロックである。このブロックは後段のブロックとは独立に動作する (つまり、どのような Hit 判定をおこなってもよい)。より厳密に言えば、M_AXIS の tvalid 信号を自由に上げ下げしてもよい。極端な例では tvalid 信号を High のままキープしてもよい。ただし、バッファの容量を超えた場合は tvalid の立上りエッジの数のみが OBJECT_ID としてカウントされ続けるのみである。

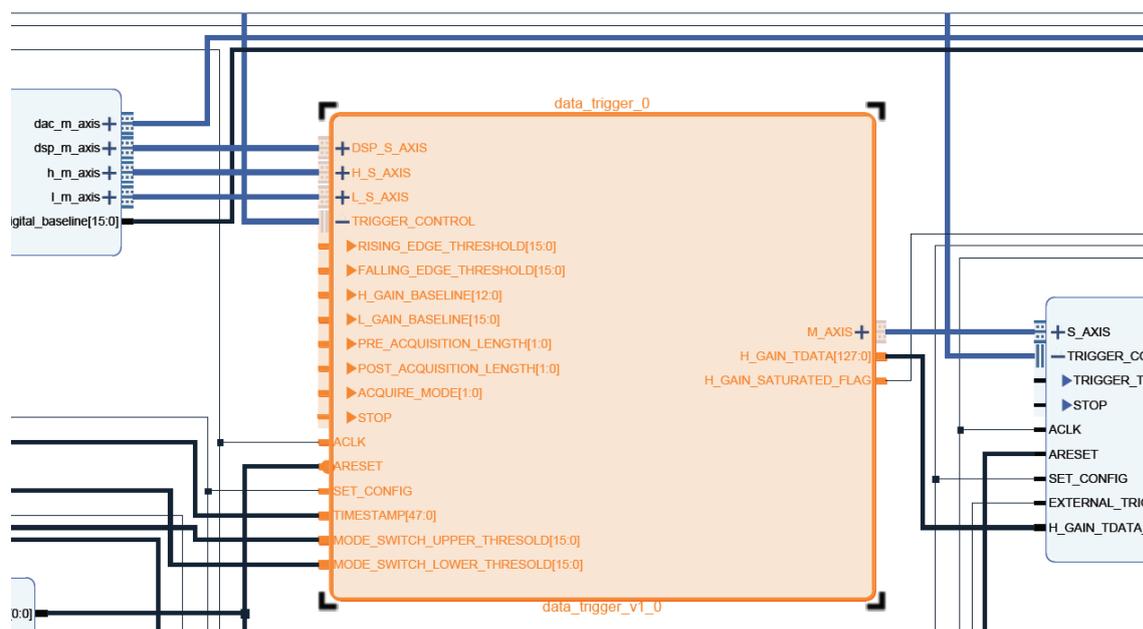


図 C.5 トリガブロック

表 C.5 トリガブロックのポート

ポート名	信号方向	クロック	説明
ACLK	In	N/A	トリガブロックの駆動クロック (125MHz)
ARESET	In	ACLK	トリガブロックのリセット (Active High)
DSP_S_AXIS	Slave	ACLK	デジタル信号処理済みデータ出力用 AXI4Stream (int16 × 8)
H_S_AXIS	Slave	ACLK	RF-ADC データ入力用 AXI4Stream (fix12_4 × 8)
L_S_AXIS	Slave	ACLK	L ゲイン ADC データ入力用 AXI4Stream (int16 × 2)
M_AXIS	Master	ACLK	ADC データ・タイムスタンプなどを含んだ複合データ (216bit)
H_GAIN_TDATA	Out	ACLK	RF-ADC データ (後段での ADC Sum 計算用)
H_GAIN_SATURATED_FLAG	Out	ACLK	RF-ADC のサチュレーションフラグ。デバッグ用
RISING_EDGE_THRESHOLD	In	ACLK	Hit 判定の立上りしきい値 (int16)
FALLING_EDGE_THRESHOLD	In	ACLK	Hit 判定の立下りしきい値 (int16)
H_GAIN_BASELINE	In	ACLK	絶対的なベースライン (0V 相当) にする ADC 値 (int13)
L_GAIN_BASELINE	In	ACLK	絶対的なベースライン (0V 相当) にする ADC 値 (int16)。0 を推奨。
PRE_ACQUISITION_LENGTH	In	ACLK	立上り前何クロックを取得するか。
POST_ACQUISITION_LENGTH	In	ACLK	立下り後前何クロックを取得するか。
ACQUIRE_MODE	In	ACLK	取得モード。詳細は本文参照。
STOP	In	ACLK	この信号が High の間はトリガがかからない。
SET_CONFIG	In	ACLK	この信号が High の間のみ設定変更可能。この間はトリガがかからない。
MODE_SWITCH_UPPER_THRESHOLD	In	ACLK	NORMAL_MODE/COMBINED_MODE 切り替えの最大値側しきい値 (int16)
MODE_SWITCH_LOWER_THRESHOLD	In	ACLK	NORMAL_MODE/COMBINED_MODE 切り替えの最小値側しきい値 (int16)

なお、M_AXIS の tdata は RF-ADC(128bit)・ゼロパディング (4bit)・トリガタイプ (4bit)・タイムスタンプ (48bit)・トリガ設定 (32bit) から成る計 216bit のデータである。出力ポート (信号方向が Out または Master の信号) は全て必須であるため、この部分を改良する際は対応するポートを用意する必要がある。

Trigger selector

トリガブロックの M_AXIS ポートの tvalid をオーバーライドするためのポート。現在は外部トリガ信号でオーバーライドするために使用している。

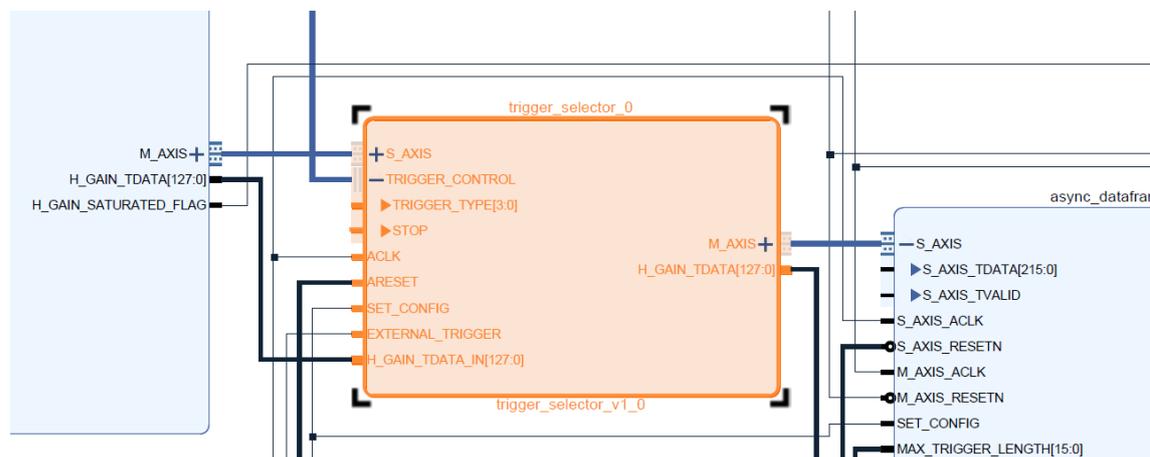


図 C.6 Trigger selector ブロック

表 C.6 Trigger selector のポート

ポート名	信号方向	クロック	説明
ACLK	In	N/A	駆動クロック (125MHz)
ARESET	In	ACLK	リセット信号 (Active High)
S_AXIS	Slave	ACLK	トリガブロックからの複合データの入力用 AXI4Stream
STOP	In	ACLK	この信号が High の間は外部トリガも含めてトリガがかからない (M_AXIS の tvalid が Low になる)
SET_CONFIG	In	ACLK	この信号が High の間のみ設定の変更が可能。もちろんトリガはかからない。
TRIGGER_TYPE	In	ACLK	値に応じて外部トリガでオーバーライドするかを決める。詳細は本文参照。
EXTERNAL_TRIGGER	In	ACLK	外部トリガ信号
H_GAIN_TDATA_IN	In	ACLK	トリガブロックからの ADC Sum 計算用の RF-ADC データ
M_AXIS	Master	ACLK	オーバーライド処理分遅延させた複合データの出力用 AXI4Stream
H_GAIN_TDATA	Out	ACLK	オーバーライド処理分遅延させた ADC Sum 計算用の RF-ADC データ

データフレーム生成ブロック

データフレーム生成ブロックの本体は `async_dataframe_generator` である。AXI4-Stream Data Width Converter は M_AXIS のバス幅を DDR4 MIG のバス幅 (256bit) に一致させるために使用している。MAX_TRIGGER_LENGTH が 1 から 254 までとなっているのは、1 フレームあたりのサイズが 4KB を超えるのを防ぐためである。(AXI4 の一回のトランザクションで転送できる最大データサイズは 4KB であり、それ以上のサイズはトランザクションが分割され、転送速度が低下する)

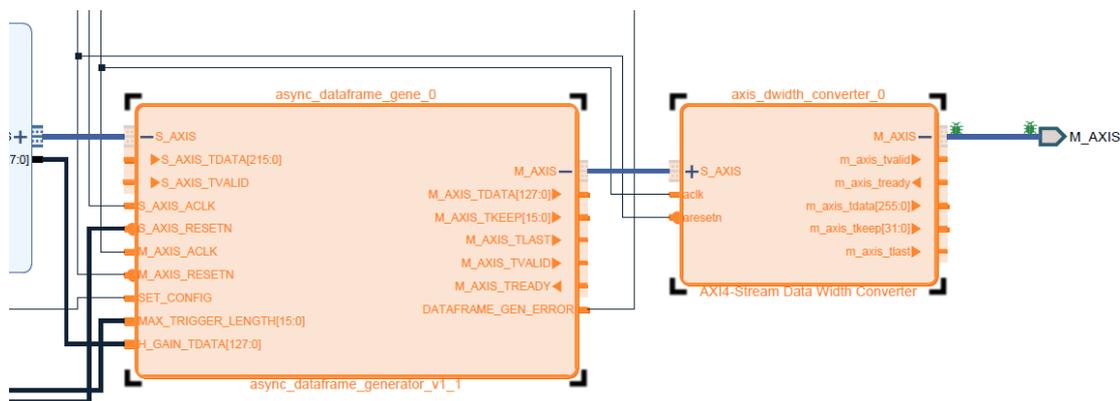


図 C.7 データフレーム生成ブロックとバス幅変換ブロック

表 C.7 データフレーム生成ブロック (async_dataframe_generator) のポート

ポート名	信号方向	クロック	説明
S_AXIS_ACLK	In	N/A	In および Slave ポートの駆動クロック (125MHz)
S_AXIS_RESETN	In	S_AXIS_ACLK	In および Slave ポートのリセット信号 (Active Low)
S_AXIS	Slave	S_AXIS_ACLK	トリガブロックからの複合データ
SET_CONFIG	In	S_AXIS_ACLK	この信号が High の間のみ MAX_TRIGGER_LENGTH を変更可能。
MAX_TRIGGER_LENGTH	In	S_AXIS_ACLK	データフレームあたりの最大波形データ長 (uint16)。1 から 254 まで。詳細は本文参照。
H_GAIN_TDATA	In	S_AXIS_ACLK	ADC Sum (電荷情報) 計算用のポート
M_AXIS_ACLK	In	N/A	Out および Master ポートの駆動クロック。(評価時 200MHz、実運用時 300MHz)
M_AXIS_RESETN	In	M_AXIS_ACLK	Out および Master ポートのリセット信号 (Active Low)
M_AXIS	Master	M_AXIS_ACLK	データフレーム転送用の AXI4Stream。以後はパケットとして扱われる。
DATAFRAME_GEN_ERROR	Out	M_AXIS_ACLK	Data FIFO が空なのに対し Header/Footer FIFO が空でない場合に立つフラグ

表 C.8 AXI4Stream バス幅変換用ブロック (AXI4-Stream Data Width Converter) のポート

ポート名	信号方向	クロック	説明
ACLK	In	N/A	駆動クロック (評価時 200MHz、実運用時 300MHz)
ARESETN	In	ACLK	リセット信号 (Active Low)
S_AXIS	Slave	ACLK	入力データ。tdata のバス幅は 128bit。
M_AXIS	Master	ACLK	出力データ。tdata のバス幅は 256bit。

C.2 バッファ部

バッファ部はマージ (AXI4-Stream Interconnect)・メモリコントローラ (async_pl_ddr_mmu・AXI DataMover・AXI4-Stream Data Width Converter)・メモリ (評価時は AXI BRAM Controller・Block Memory Generator、実運用時は DDR4 MIG) を使用する。まず、マージとメモリコントローラに使用しているブロック (図 C.8) のポートについて以下に示す。なお、AXI DataMover のクロック・リセットは全て共通であり、評価時は 200MHz を使用した。実運用時は 300MHz を使用することを想定している。AXI DataMover の詳細についてはプロダクトガイド (PG022) を参照されたい。なお、プロダクトガイドに記載されていないポイントについてのみ参考までに記載しておく。

- IBTT モードで使用する場合、BTT に代入したサイズを転送するのにかかるクロックよりも短い間隔でパケットを送ると、自動的に内部でパケットが結合されてしまうことに注意。例えば 256bit バス幅で 256bit × 4 のデータサイズの packets を 2 クロック間隔で送ると、二つのパケットが結合される。
- Control and Status ポートにある mm2s_rd_xfer_cmplt および s2mm_wr_xfer_cmplt は最後から一つ前のデータが送られると High になる。つまり、実際には転送が完了していないにもかかわらず High になる。例えば 256bit バス幅で 256bit × 4 の packets を転送する場合は、3 クロック目のデータのハンドシェイクが成立すると High になる。したがって、転送の完了を確認するためには STS ポートを使用しなければならない。

AXI4-Stream Data Width Converter は CPU 側の AXI インターフェースの最大バス幅 (128bit) に一致させるために使用している。

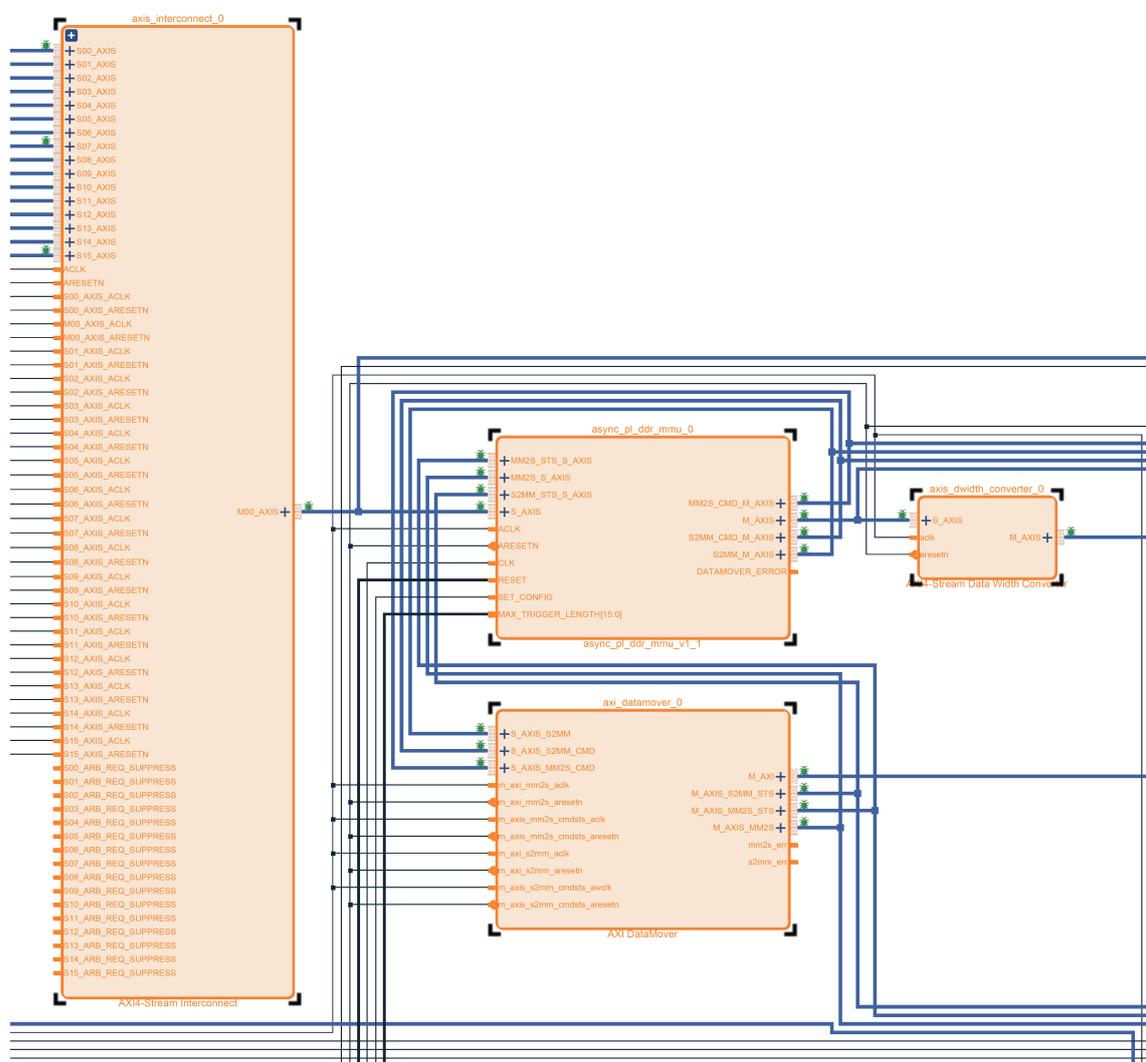


図 C.8 マージとメモリコントローラ

表 C.9 AXI4-Stream Interconnect (マージ) のポート

ポート名	信号方向	クロック	説明
ACLK	In	N/A	AXI4-Stream Interconnect 全体の駆動クロック
ARESETN	In	ACLK	AXI4-Stream Interconnect 全体のリセット信号 (Active Low)
M00_AXIS_ACLK	In	N/A	マージの出力用 AXI4Stream のクロック (評価時 200MHz、実運用時 300MHz)
M00_AXIS_ARESETN	In	M00_AXIS_ACLK	マージの出力用 AXI4Stream のリセット信号 (Active Low)
M00_AXIS	Master	M00_AXIS_ACLK	マージの出力用 AXI4Stream
SXX_AXIS_ACLK	In	N/A	X 番目の入力用 AXI4Stream のクロック (評価時 200MHz、実運用時 300MHz)
SXX_AXIS_ARESETN	In	SXX_AXIS_ACLK	X 番目の入力用 AXI4Stream のリセット信号 (Active Low)
SXX_AXIS	Slave	SXX_AXIS_ACLK	X 番目の入力用 AXI4Stream
SXX_ARB_REQ_SUPPRESS	In	SXX_AXIS_ACLK	High 場合は X 番目の入力が無視される。本ロジックでは使用していない。

表 C.10 async_pl_ddr_mmu (メモリコントローラ) のポート

ポート名	信号方向	クロック	説明
CLK	In	N/A	設定用クロック (125MHz)
RESET	In	CLK	CLK ドメインのリセット信号 (Active High)
SET_CONFIG	In	CLK	High の間のみ設定を変更できる。
MAX_TRIGGER_LENGTH	In	CLK	データフレームあたりの最大波形データ長 (uint16)。データフレーム生成ブロックと共通。
ACLK	In	N/A	データ転送に使用するクロック (評価時 200MHz、実運用時 300MHz)
ARESETN	In	ACLK	ACLK ドメインのリセット信号 (Active Low)
S_AXIS	Slave	ACLK	トリガー部からのデータ入力用 AXI4Stream。もちろんパケットである。
S2MM_CMD_M_AXIS	Master	ACLK	データ転送コマンド (ロジック → メモリ) 送信用 AXI4Stream
S2MM_M_AXIS	Master	ACLK	データ転送 (ロジック → メモリ) 用 AXI4Stream
S2MM_STS_S_AXIS	Slave	ACLK	データ転送コマンド (ロジック → メモリ) の実行結果通知用 AXI4Stream
MM2S_CMD_M_AXIS	Master	ACLK	データ転送コマンド (メモリ → ロジック) 送信用 AXI4Stream
MM2S_S_AXIS	Slave	ACLK	データ転送 (メモリ → ロジック) 用 AXI4Stream
MM2S_STS_S_AXIS	Slave	ACLK	データ転送コマンド (メモリ → ロジック) の実行結果通知用 AXI4Stream
M_AXIS	Master	ACLK	メモリからの読み出しデータ転送用 AXI4Stream
DATAMOVER_ERROR	Out	ACLK	データ転送コマンド (S2MM および MM2S のいずれか) が失敗した際に High になる。

表 C.11 AXI4Stream バス幅変換用ブロック (AXI4-Stream Data Width Converter) のポート

ポート名	信号方向	クロック	説明
ACLK	In	N/A	駆動クロック (評価時は 200MHz、実運用では 300MHz)
ARESETN	In	ACLK	リセット信号 (Active Low)
S_AXIS	Slave	ACLK	入力データ。tdata のバス幅は 256bit。
M_AXIS	Master	ACLK	出力データ。tdata のバス幅は 128bit。

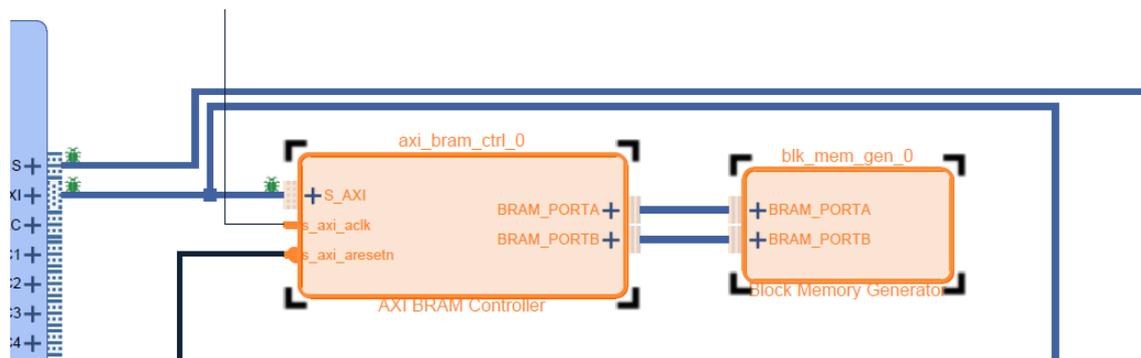


図 C.9 メモリに使用しているブロック。AXI BRAM Controller の仕様により評価時には 200MHz を使用している。

メモリに使用しているブロックについては、今回は評価用に URAM を使用しているため、詳細な解説はせず、ブロックダイアグラムを図 C.9 に示すにとどめる。図中の S_AXI が AXI DataMover の M_AXI と接続されている。DDR4 メモリを使用する際は AXI BRAM Controller と Block Memory Generator を DDR4 MIG ブロックに置き換えることで使用できる。

C.3 データ転送部 (デバッグ用)

デバッグ用に使用したデータ転送部 (図 C.10) には axi_dma_connector・AXI DMA・AXI SmartConnect が使用されている。axi_dma_connector は本ロジックで AXI DMA を Simple Transfer モードで使用するために必要なブロックである。理由としては、AXI DMA の S_AXIS_S2MM の tlast 信号の立下りエッジから s2mm_introut の立上りエッジの間に短いパケットを AXI DMA に入力した場合、そのパケットは失われる。したがって、axi_dma_connector によって、tlast 信号の立下りから s2mm_introut の立上りまでデータ転送を抑制する必要がある。AXI SmartConnect は CPU 側に複数の AXI4 Master ポートを接続するために必要なため使用している。ただし、今回は AXI DMA のみが接続されているため、厳密には必要ない。

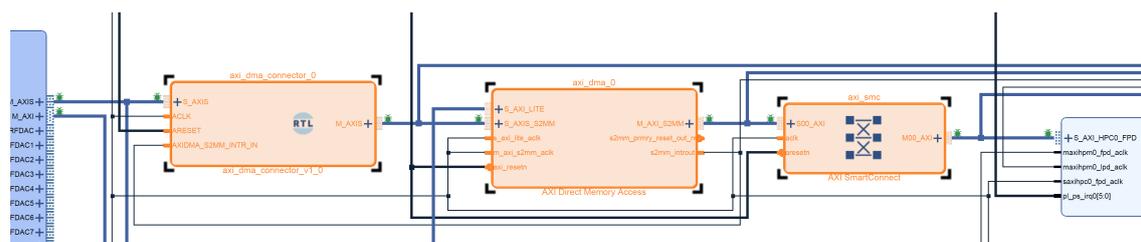


図 C.10 データ転送部 (デバッグ用) のブロック

表 C.12 axi_dma_connector ブロックのポート

ポート名	信号方向	クロック	説明
ACLK	In	N/A	駆動クロック (125MHz)
ARESET	In	ACLK	リセット信号 (Active High)
AXIDMA_S2MM_INTR_IN	In	ACLK	AXI DMA の転送完了を示す割込み信号
S_AXIS	Slave	ACLK	データ入力用 AXI4Stream
M_AXIS	Master	ACLK	データ出力用 AXI4Stream

表 C.13 AXI DMA のポート

ポート名	信号方向	クロック	説明
s_axi_lite_aclk	In	N/A	AXI DMA 設定用 AXI4 Lite 用クロック
axi_resetn	In	N/A	AXI DMA ブロック全体の非同期リセット信号 (Active Low)
S_AXI_LITE	Slave	s_axi_lite_aclk	AXI DMA 設定用 AXI4 Lite
m_axi_s2mm_aclk	In	N/A	
s2mm_prmry_reset_out_n	Out	m_axi_s2mm_aclk	m_axi_s2mm_aclk に同期したリセット信号 (Active Low)。本ロジックでは使用していない。
s2mm_introut	Out	m_axi_s2mm_aclk	AXI DMA の転送完了を示す割込み信号
S_AXIS_S2MM	Slave	m_axi_s2mm_aclk	CPU へ転送するデータの入力用 AXI4Stream
M_AXI_S2MM	Master	m_axi_s2mm_aclk	CPU への転送用 AXI4

その他

トリガー設定用ブロック

トリガー設定用ブロックはここまで説明した各ブロックの設定をおこなうためのブロックである。すべて CPU から設定することを想定している。まず、各レジスタを以下に示す。

表 C.14 トリガー設定用ブロックのレジスタ。オフセットアドレス以外のアドレスは全てオフセットアドレスを足したアドレスが実際のアドレスとなる。また、N は 16 進数で 0 から F である。

レジスタ名	アドレス	説明
オフセットアドレス	0xA0042000	CPU から見たデバイスのベースアドレス。Vivado の Address Editor より変更可能
N チャンネルの状態遷移及び取得モード設定	0x0N00	[ゼロパディング (25bit), STOP(1bit), ACQUIRE_MODE(2bit), TRIGGER_TYPE(uint4)]
N チャンネルのしきい値設定	0x0N04	[RISING_EDGE_THRESHOLD(int16), FALLIG_EDGE_THRESHOLD(int16)]
N チャンネルのしきい値前後の取得範囲設定	0x0N08	[PRE_ACQUISITION_LENGTH(uint16), POST_ACQUISITION_LENGTH(uint16)]
N チャンネルのベースライン ADC 値設定	0x0N0C	[ゼロパディング (3bit), H_GAIN_BASELINE(int16), L_GAIN_BASELINE(int16)]
設定変更および最大波形データ長設定	0x1000	[ゼロパディング (15bit), SET_CONFIG(1bit), MAX_TRIGGER_LENGTH(uint16)]

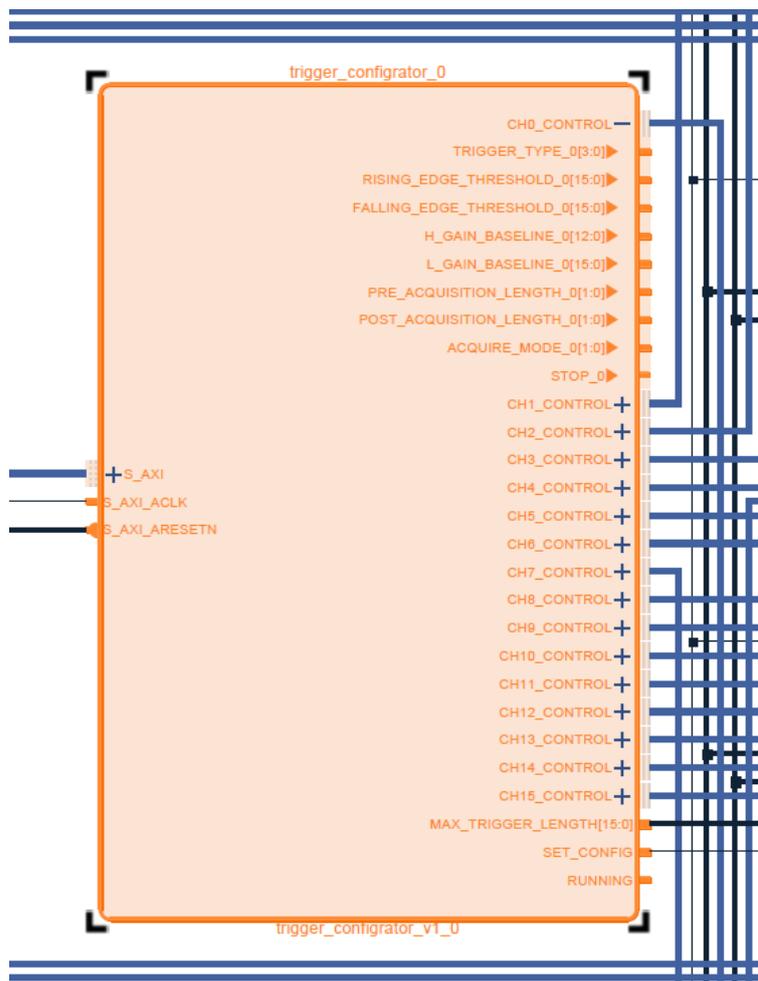


図 C.11 トリガー設定用ブロック

表 C.15 トリガー設定用ブロックのポート

ポート名	信号方向	クロック	説明
S_AXI_ACLK	In	N/A	CPU によるトリガー設定用 AXI のクロック (125MHz)
S_AXI_ARESETN	In	S_AXI_ACLK	リセット信号 (Active Low)
S_AXI	Slave	S_AXI_ACLK	CPU によるトリガー設定用 AXI
SET_CONFIG	Out	S_AXI_ACLK	CPU から特定のレジスタにアクセスすることで High になる。
MAX_TRIGGER_LENGTH	Out	S_AXI_ACLK	最大波形データ長。
CHX_CONTROL	Out	S_AXI_ACLK	ここまで述べた各種設定値をまとめたインターフェース
RUNNING	Out	S_AXI_ACLK	いずれかのチャンネルが RUN 状態であるときに High となる。

D ロジック内のクロック系統およびリセット系統

ロジック内のクロック系統

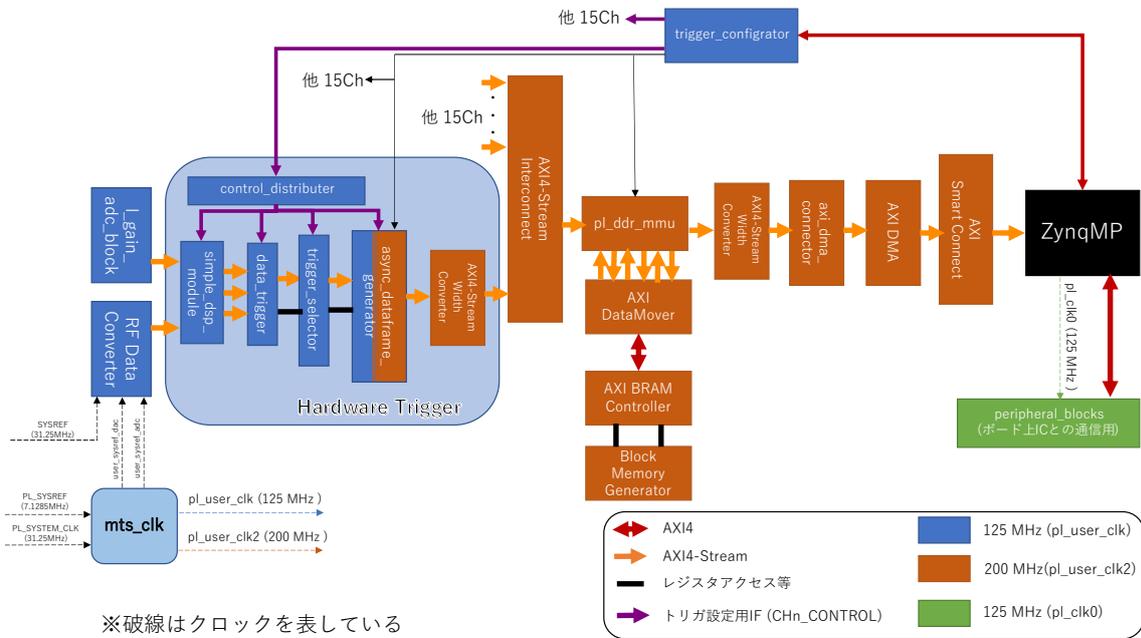


図 D.12 評価時のクロック系統

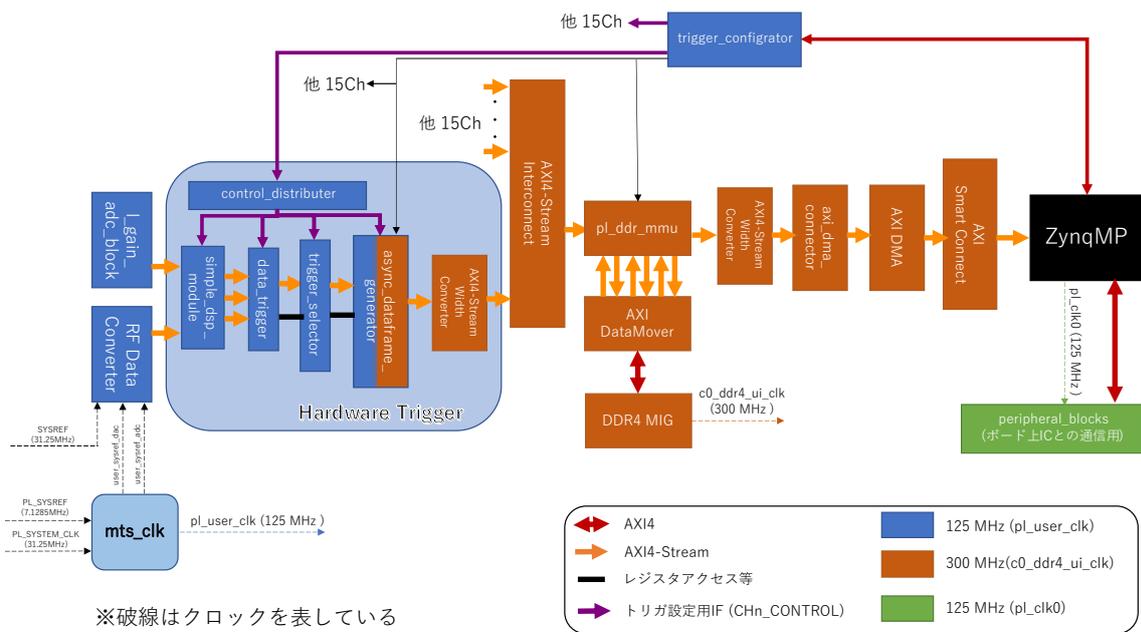


図 D.13 実運用時のクロック系統

ロジック内のリセット系統

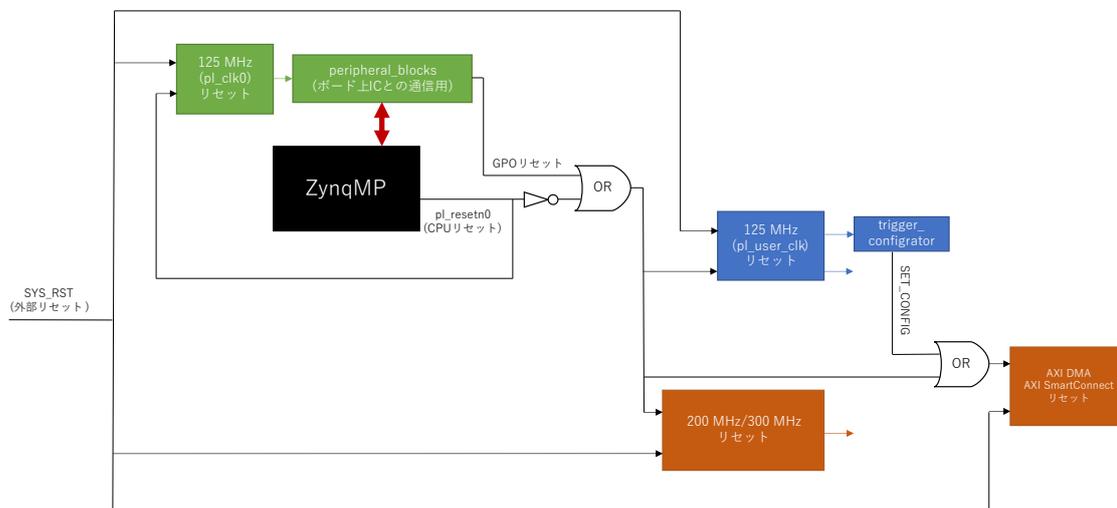


図 D.14 ロジック内のリセット系統

謝辞

まずは MoGURA 関係の皆様、大変お世話になりました。指導教員の石徹白先生には4年生研究からお世話になり続けており、感謝してもしきれません。M1の初め(B4の終わりだったかもしれませんが)に今回の研究のお話を聞けたおかげで、最先端技術を使った装置開発という果てしなく貴重な経験をすることができました。開発は確かに大変でしたが、本当に楽しかったです。開発環境についても、2020年の4月から7月にかけての在宅研究も含め、臨機応変に対応していただき、あまり滞ることなく研究を進められました。本当にありがとうございました。細川先生、家城先生にも FEE と DAQ のすり合わせでお世話になりました。今後、僕の作った FEE が何かご迷惑をおかけしてしまうかもしれませんが、よろしく願います。川田さんとは Apple 製品に関して議論を交わしたりと、センターではあまりできないお話ができ、楽しかったです。ありがとうございました。浅見君には Python で DAQ をやるとか言っておいて結局 C++ になってしまい、迷惑をかけてしまいました。申し訳ない。4年生の中畑くん、二木さんは直接僕の研究に関わるという意味では初めての後輩でした。一人で研究をやるのと複数人でやるのでは重苦しさが全く違います。そういう意味において、12月くらいからの研究の追い込みは大変ながらもメンタルを保って続けることができました。今後この研究を続ける・続けられないにかかわらず、二人の活躍を祈っています。

次に、ニュートリノセンターの皆様、3年間ありがとうございました。池田先生、小原先生、今はロンドンにいらっしゃる林田さんには大変お世話になりました。ニュートリノセンターでは貴重(僕が気づいていないだけかもしれませんが)な、オタクな会話をすることができ、楽しかったです。データ転送や多人数でのソフトウェア開発に関するお話、AMD の Ryzen CPU のアーキテクチャーに関するお話から、今回開発したプログラムの管理やロジックのデータフレームの生成の仕方、ロジックのモジュール化コンセプトといった着想を得ることができました。ありがとうございました。竹内さんには、今回の研究のモチベーションにおいて重要な事柄についての質問に答えていただき、ありがとうございました。岸本先生にも感謝しております。自動運転技術に関するお話など時折コアなお話をするすることができ、研究だけでなく今後の仕事について考えるきっかけになりました。丸藤先生にはシフトトレーニングでお世話になりましたし、寺島先生と池田先生とともに F1 を話ができて、研究の合間の良い息抜きになりました。ありがとうございました。古賀先生にも GSA やシフトトレーニング・シフト中に沢山有意義なお話をするすることができ、良い刺激になりました。また、井上先生を始めとして、修論発表の練習・スライドの手直しなど様々な場面でお世話になりました。ありがとうございました。

加えて、本多先生や Open-it(若手の会)の皆様、ありがとうございました。本研究は Open-it のプロジェクトではありませんが、同じような研究テーマを持つ仲間たちと研究会で話をするすることができて、研究を進める上で技術的・精神的な両面で本当に助けになりました。ありがとうございました。

最後に、本研究に必要な FPGA の基本的な知識の殆どは「FPGA の部屋」などインターネット上に有志の方々がまとめてくださった有益な記事が元となっていることをここに記しておきたいと思えます。FPGA という非常にニッチな領域では実践的な知識を書籍のみで手に入れることは大変困難であり、もしこうした有志の方々が知識を広く公開していなかったら、僕は本研究のゴールにたどり着くもっと手前で残念ながら挫折していたかもしれません。今後は僕もその恩恵をただ享受するだけでなく、許される範囲で今回得た経験を世の中にフィードバックしていきたいと強く思います。

参考文献

- [1] A. Gando et al., “Search for Majorana Neutrinos near the Inverted Mass Hierarchy Region with KamLAND-Zen”, *Phys. Rev. Lett.* **117**, 082503 (2016) , DOI: 10.1103/PhysRevLett.117.082503.
- [2] P. Zyla et al., “Review of Particle Physics”, *PTEP* **2020**, 083C01 (2020) , DOI: 10.1093/ptep/ptaa104.
- [3] S. Dell’Oro, S. Marcocci, and F. Vissani, “New expectations and uncertainties on neutrinoless double beta decay”, *Phys. Rev. D* **90**, 033005 (2014) , DOI: 10.1103/PhysRevD.90.033005.
- [4] K. Tetsuno et al., “Status of ^{48}Ca double beta decay search and its future prospect in CANDLES”, *J. Phys. Conf. Ser.* **1468**, 012132 (2020) , DOI: 10.1088/1742-6596/1468/1/012132.
- [5] R. Arnold, C. Augier, A. Bakalyarov et al., “Measurement of the double-beta decay half-life and search for the neutrinoless double-beta decay of ^{48}Ca with the NEMO-3 detector”, *Physical Review D* **93** (2016) , DOI: 10.1103/physrevd.93.112008.
- [6] M. Agostini et al., “Final Results of GERDA on the Search for Neutrinoless Double- β Decay”, (2020) .
- [7] M. Agostini et al., “Results on $\beta\beta$ decay with emission of two neutrinos or Majorons in ^{76}Ge from GERDA Phase I”, *Eur. Phys. J. C* **75**, 416 (2015) , DOI: 10.1140/epjc/s10052-015-3627-y.
- [8] R. Arnold et al., “Final results on ^{82}Se double beta decay to the ground state of ^{82}Kr from the NEMO-3 experiment”, *Eur. Phys. J. C* **78**, 821 (2018) , DOI: 10.1140/epjc/s10052-018-6295-x.
- [9] R. Arnold et al., “Detailed studies of ^{100}Mo two-neutrino double beta decay in NEMO-3”, *Eur. Phys. J. C* **79**, 440 (2019) , DOI: 10.1140/epjc/s10052-019-6948-4.
- [10] R. Arnold et al., “Results of the search for neutrinoless double- β decay in ^{100}Mo with the NEMO-3 experiment”, *Phys. Rev. D* **92**, 072011 (2015) , DOI: 10.1103/PhysRevD.92.072011.
- [11] I. Nutini et al., “The CUORE Detector and Results”, *J. Low Temp. Phys.* **199**, 519–528 (2020) , DOI: 10.1007/s10909-020-02402-9.
- [12] A. Gando et al., “Constraints on θ_{13} from A Three-Flavor Oscillation Analysis of Reactor Antineutrinos at KamLAND”, *Phys. Rev. D* **83**, 052002 (2011) , DOI: 10.1103/PhysRevD.83.052002.
- [13] H. Ozaki and J. Shirai, “Refurbishment of KamLAND outer detector”, *PoS ICHEP2016*, 1161 (2017) , DOI: 10.22323/1.282.1161.
- [14] 浜松ホトニクス株式会社 編集委員会, 『光電子増倍管-その基礎と応用-』, 浜松ホトニクス株式会社 (2017) .
- [15] B. Dasgupta and J. F. Beacom, “Reconstruction of supernova ν_{μ} , ν_{τ} , anti- ν_{μ} , and anti- ν_{τ} neutrino spectra at scintillator detectors”, *Phys. Rev. D* **83**, 113006 (2011) , DOI: 10.1103/PhysRevD.83.113006.
- [16] K. Eguchi et al., “First results from KamLAND: Evidence for reactor anti-neutrino disappearance”, *Phys. Rev. Lett.* **90**, 021802 (2003) , DOI: 10.1103/PhysRevLett.90.021802.
- [17] 尾崎秀義, 「 ^{136}Xe を倍増した KamLAND-Zen でのニュートリノを伴わない二重ベータ崩壊の高感度探索」, 博士論文, 東北大学大学院理学研究科物理学専攻 (2020) .
- [18] M. J. Dolinski, A. W. Poon, and W. Rodejohann, “Neutrinoless Double-Beta Decay: Status and Prospects”,

- Ann. Rev. Nucl. Part. Sci.* **69**, 219–251 (2019), DOI: 10.1146/annurev-nucl-101918-023407.
- [19] 林歩美, 「KamLAND2-Zen に向けた集光ミラーの最適化」, 修士論文, 東北大学大学院理学研究科物理学専攻 (2016).
- [20] 竹本康浩, 「CNO サイクル太陽ニュートリノ観測のためのデッドタイムフリー電子回路の開発」, 修士論文, 東北大学大学院理学研究科物理学専攻 (2009).
- [21] 吉田学立, 「液体シンチレータでの粒子識別による α 線バックグラウンド除去の研究」, 修士論文, 東北大学大学院理学研究科物理学専攻 (2011).
- [22] 大木歩, 「新トリガーによる KamLAND-Zen 実験での ^{10}C バックグラウンド除去」, 修士論文, 東北大学大学院理学研究科物理学専攻 (2013).
- [23] 本田佳己, 「KamLAND2-Zen に向けた ^{10}C バックグラウンド低減のための新手法の研究開発」, 修士論文, 東北大学大学院理学研究科物理学専攻 (2017).
- [24] 石川貴寛, 「KamLAND における近傍超新星ニュートリノ観測に向けた新規トリガー機能開発」, 修士論文, 東北大学大学院理学研究科物理学専攻 (2014).
- [25] Xilinx Inc., “Zynq UltraScale+ RFSoc”, <https://xilinx.com/products/silicon-devices/soc/rfsoc.html>.
- [26] Xilinx Inc., “SoCs, MPSoCs and RFSocCs”, <https://xilinx.com/products/silicon-devices/soc.html>.
- [27] T. Uchida, “Hardware-Based TCP Processor for Gigabit Ethernet”, *IEEE transactions on nuclear science* **55**, 1631–1637 (2008).
- [28] S. N. Axani, “KamLAND analog frontend electronics MoGURA2 design document”, https://github.com/spenceraxani/KamLAND-FEA/blob/master/Documents/FEA_reference_design.pdf.
- [29] Arm Limited (or its affiliates), “AMBA AXI and ACE Protocol Specification”, <https://developer.arm.com/architectures/system-architectures/amba/amba-4>.