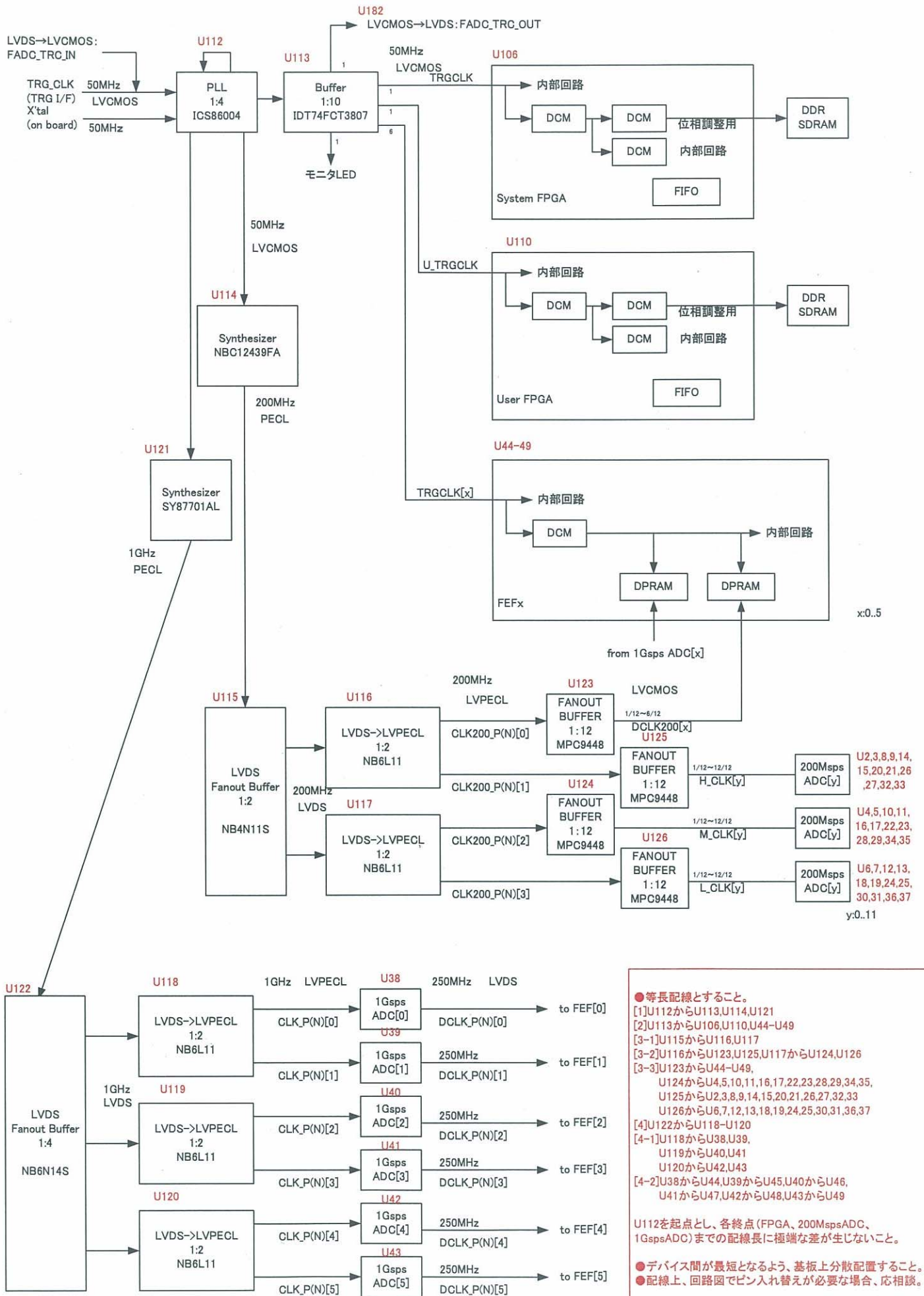




●等長配線とすること。

[1]U112からU113,U114,U121

[2]U113からU106,U110,U44-U49

[3-1]U115からU116,U117

[3-2]U116からU123,U125,U117からU124,U126

[3-3]U123からU44-U49,

U124からU4,5,10,11,16,17,22,23,28,29,34,35,

U125からU2,3,8,9,14,15,20,21,26,27,32,33

U126からU6,7,12,13,18,19,24,25,30,31,36,37

[4]U122からU118-U120

[4-1]U118からU38,U39,

U119からU40,U41

U120からU42,U43

[4-2]U38からU44,U39からU45,U40からU46,

U41からU47,U42からU48,U43からU49

U112を起点とし、各終点 (FPGA、200MspcsADC、
1GspcsADC) までの配線長に極端な差が生じないこと。

●デバイス間が最短となるよう、基板上分散配置すること。

●配線上、回路図でピン入れ替えが必要な場合、応相談。