

ADC08200

8 ビット、20 ~ 200MSPS、1.05mW/MSPS A/D コンバータ

概要

ADC08200 は、トラック / ホールド回路を内蔵した、低消費、8 ビットのモノリシック A/D コンバータです。低コスト、低消費電力、小型化、使いやすさを要求されるアプリケーションに適したデバイスとして、ADC08200 は最大 230MSPS の変換レートで動作し、消費電力はクロック周波数 1MHz 当たりわずか 1.05mW で、200MSPS でも 210mW です。ADC08200 は、PD ピンを High にすると消費電力がおおよそ 1mW のパワーダウン・モードになります。

ADC08200は独自のアーキテクチャを採用し、入力周波数50MHzで7.3有効ビットを達成しています。ADC08200はラッチアップ耐性に優れ、また出力端子には短絡保護機能が備えられています。ADC08200のリファレンス・ラダーの上部と下部は外部接続できるようになっており、広範囲の入力が可能です。デジタル出力は、3Vまたは2.5Vロジックとの接続を可能にするために出力電源用のピンを別に備えたTTL/CMOS互換となっています。デジタル入力(CLKおよびPD)はTTL/CMOS互換です。出力データ形式はストレート・バイナリです。

ADC08200は24ピンのプラスチック・パッケージ(TSSOP)で供給され、工業用温度範囲-40 ~ +85を上回る-40 ~ +105で動作します。ADC08200の評価ボードを提供しています。

特長

- シングルエンド入力
- サンプル / ホールド機能内蔵
- 低電圧 (単一 3V) 動作
- 小型パッケージ
- パワーダウン機能

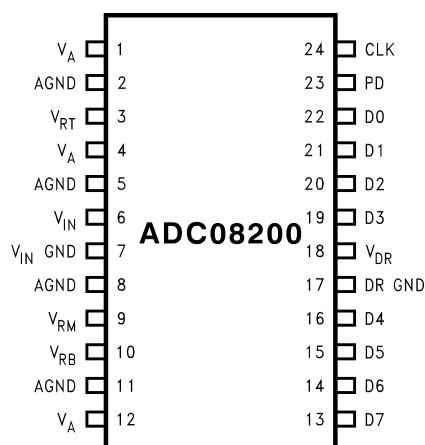
主な仕様

- | | |
|--|-------------------|
| ■ 分解能 | 8 ビット |
| ■ 最大サンプリング・レート | 200MSPS (最小) |
| ■ DNL | ± 0.4LSB (代表値) |
| ■ 有効ビット (ENOB) ($f_{IN} = 50\text{MHz}$) | 7.3 ビット (代表値) |
| ■ THD ($f_{IN} = 50\text{MHz}$) | 61dB (代表値) |
| ■ 消費電力 | |
| - 動作時 | 1.05mW/MSPS (代表値) |
| - パワーダウン時 | 1mW (代表値) |

アプリケーション

- フラット・パネル・ディスプレイ
- 液晶プロジェクション・システム
- セットトップ・ボックス
- バッテリ駆動計測器
- 通信システム
- 医用画像処理
- 各種書き込み可能なディスク・ドライブ (DVD-RAM、DVD-R/W など)

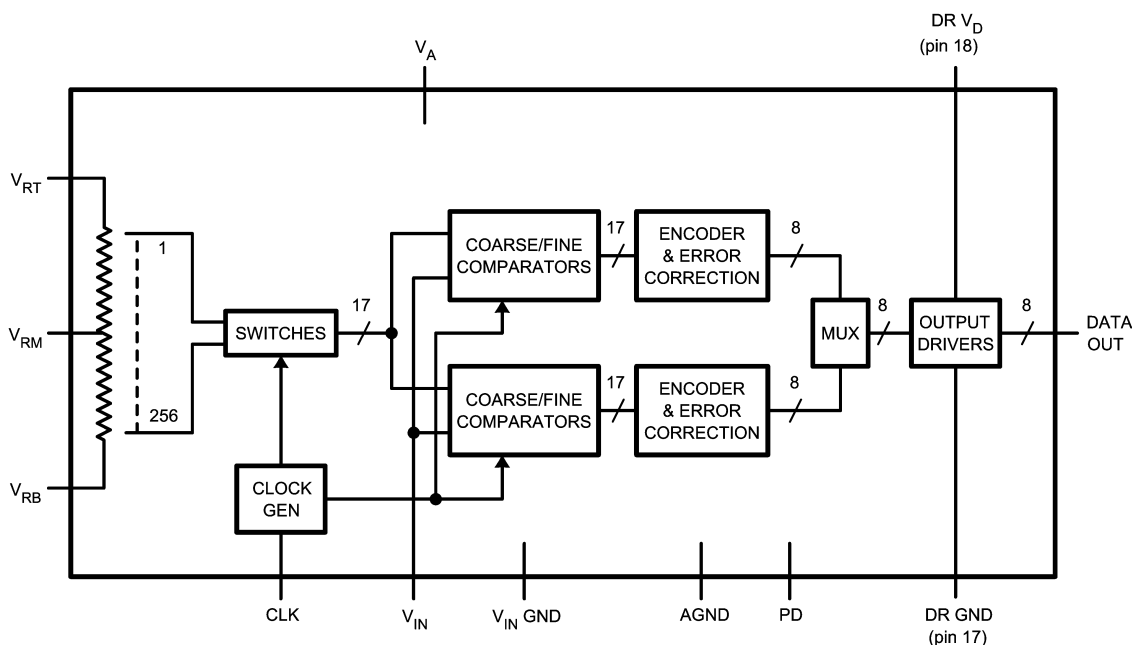
ピン配置図



製品情報

Order Number	Temperature Range	Package
ADC08200CIMT	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	TSSOP
ADC08200CIMTX	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	TSSOP (tape and reel)
ADC08200EVAL		Evaluation Board

ブロック図



端子説明および等価回路

端子番号	記号	等価回路	説明
6	V_{IN}		アナログ信号入力。変換可能な入力範囲は $V_{RB} \sim V_{RT}$ です。
3	V_{RT}		A/D コンバータのリファレンス・ラダーの上側 (トップ側) のアナログ入力端子。公称入力範囲は $0.5\text{V} \sim V_A$ です。 V_{RT} 端子および V_{RB} 端子に入力される電圧によって、アナログ信号入力 (V_{IN}) の変換範囲が決まります。適切なバイパスを行ってください。詳細は、2.0 章を参照してください。
9	V_{RM}		リファレンス・ラダーの midpoint。この端子は、 $0.1\mu\text{F}$ のコンデンサで、アナログ・グラウンド・プレーンのノイズのない点にバイパスしてください。
10	V_{RB}		A/D コンバータのリファレンス・ラダーの下側 (ボトム側) のアナログ入力端子。公称入力範囲は $0.0\text{V} \sim (V_{RT} - 0.5\text{V})$ です。 V_{RT} 端子および V_{RB} 端子に入力される電圧によって、アナログ信号入力 (V_{IN}) の変換範囲が決まります。適切なバイパスを行ってください。詳細は、2.0 章を参照してください。

端子説明および等価回路 (つづき)

端子番号	記号	等価回路	説明
23	PD		パワーダウン入力端子。この端子が High になると、このコンバータはパワーダウン・モードになり、データ出力端子は最後に行われた変換の結果を保持します。
24	CLK		CMOS/TTL コンパチブルなクロック入力端子。V_{IN} は CLK 入力の立ち上がりエッジでサンプリングされます。
13 ~ 16 19 ~ 22	D0-D7		変換データ出力端子。D0 は LSB、D7 は MSB を示します。有効なデータは CLK 入力の立ち上がりエッジの直後にデータ・バス上に出力されます。
7	V _{IN} GND		シングルエンド・アナログ入力 V_{IN} のグラウンド基準電圧。
1、4、12	V _A		正のアナログ電源電圧端子。クリーンでノイズのない + 3V 電圧源に接続してください。V_A は、10μF の電解コンデンサと 0.1μF のセラミック・コンデンサを並列に接続したものでバイパスしてください。詳細は、3.0 章を参照してください。
18	V _{DR}		出力ドライバ用の電源。V_A に接続する場合には、V_A から適切なデカップリングを行ってください。
17	DR GND		出力ドライバ電源のグラウンド端子。
2、5、8、11	AGND		アナログ電源のグラウンド端子。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 V_A	3.8V
出力ドライバ電源電圧 (V_{DR})	$V_A + 0.3V$
各端子電圧	$-0.3V \sim V_A$
V_{RT} 、 V_{RB} 、端子電圧	$V_A \sim AGND$
CLK、PD 端子電圧	$-0.05V \sim (V_A + 0.05V)$
入力電流 (Note 3)	$\pm 25 \text{ mA}$
パッケージの入力電流 (Note 3)	$\pm 50 \text{ mA}$
パッケージ消費電力 ($T_A = 25^\circ\text{C}$)	(Note 4 参照)
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	200V

ハンダ付け温度 赤外線

(10 秒) (Note 6) 235

保存温度範囲 $-65 \sim +150$

動作定格 (Note 1、2)

定格温度範囲	$-40 \sim T_A \sim +85$
電源電圧 V_A	$+2.7V \sim +3.6V$
出力ドライバ電源電圧 (V_{DR})	$+2.4V \sim V_A$
グラウンド電圧差 GND - DR GND	$0V \sim 300 \text{ mV}$
上側基準電圧 V_{RT}	$0.5V \sim (V_A - 0.3V)$
下側基準電圧 V_{RB}	$0V \sim (V_{RT} - 0.5V)$
V_{IN} 電圧範囲	$V_{RB} \sim V_{RT}$

パッケージ熱抵抗

Package	θ_{JA}
24-Lead TSSOP	92°C/W

コンバータの電気的特性

特記のない限り、以下の仕様は $V_A = V_{DR} = +3.0V_{DC}$ 、 $V_{RT} = +1.9V$ 、 $V_{RB} = +0.3V$ 、 $C_L = 5\text{pF}$ 、50%のデューティ・サイクルにおける $f_{CLK} = 200\text{MHz}$ に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他のすべてのリミット値は $T_A = T_J = 25^\circ\text{C}$ に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
DC ACCURACY					
INL	Integral Non-Linearity		+1.0 -0.3	+1.9 -1.2	LSB (max) LSB (min)
DNL	Differential Non-Linearity		± 0.4	± 0.95	LSB (max)
	Missing Codes			0	(max)
FSE	Full Scale Error		36	50	mV (max)
V_{OFF}	Zero Scale Offset Error		46	60	mV (max)
ANALOG INPUT AND REFERENCE CHARACTERISTICS					
V_{IN}	Input Voltage		1.6	V_{RB} V_{RT}	V (min) V (max)
C_{IN}	V_{IN} Input Capacitance	$V_{IN} = 0.75V + 0.5 \text{ Vrms}$	(CLK LOW) 3 (CLK HIGH) 4		pF pF
R_{IN}	R_{IN} Input Resistance		>1		$M\Omega$
BW	Full Power Bandwidth		500		MHz
V_{RT}	Top Reference Voltage		1.9	V_A 0.5	V (max) V (min)
V_{RB}	Bottom Reference Voltage		0.3	$V_{RT} - 0.5$ 0	V (max) V (min)
R_{REF}	Reference Ladder Resistance	V_{RT} to V_{RB}	160	120 200	Ω (min) Ω (max)
CLK, PD DIGITAL INPUT CHARACTERISTICS					
V_{IH}	Logical High Input Voltage	$V_{DR} = V_A = 3.6V$		2.0	V (min)
V_{IL}	Logical Low Input Voltage	$V_{DR} = V_A = 2.7V$		0.8	V (max)
I_{IH}	Logical High Input Current	$V_{IH} = V_{DR} = V_A = 3.6V$	10		nA

コンバータの電気的特性 (つづき)

特記のない限り、以下の仕様は $V_A = V_{DR} = +3.0V_{DC}$ 、 $V_{RT} = +1.9V$ 、 $V_{RB} = +0.3V$ 、 $C_L = 5pF$ 、50%のデューティ・サイクルにおける $f_{CLK} = 200MHz$ に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他のすべてのリミット値は $T_A = T_J = 25$ に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
CLK, PD DIGITAL INPUT CHARACTERISTICS					
I_{IL}	Logical Low Input Current	$V_{IL} = 0V$, $V_{DR} = V_A = 2.7V$	-50		nA
C_{IN}	Logic Input Capacitance		3		pF
DIGITAL OUTPUT CHARACTERISTICS					
V_{OH}	High Level Output Voltage	$V_A = V_{DR} = 2.7V$, $I_{OH} = -400 \mu A$	2.6	2.4	V (min)
V_{OL}	Low Level Output Voltage	$V_A = V_{DR} = 2.7V$, $I_{OL} = 1.0 mA$	0.4	0.5	V (max)
DYNAMIC PERFORMANCE					
ENOB	Effective Number of Bits	$f_{IN} = 4 MHz$, $V_{IN} = FS - 0.25 dB$	7.5		Bits
		$f_{IN} = 20 MHz$, $V_{IN} = FS - 0.25 dB$	7.4		Bits
		$f_{IN} = 50 MHz$, $V_{IN} = FS - 0.25 dB$	7.3	6.9	Bits (min)
		$f_{IN} = 70 MHz$, $V_{IN} = FS - 0.25 dB$	7.2		Bits
		$f_{IN} = 100 MHz$, $V_{IN} = FS - 0.25 dB$	7.0		Bits
SINAD	Signal-to-Noise & Distortion	$f_{IN} = 4 MHz$, $V_{IN} = FS - 0.25 dB$	47		dB
		$f_{IN} = 20 MHz$, $V_{IN} = FS - 0.25 dB$	46		dB
		$f_{IN} = 50 MHz$, $V_{IN} = FS - 0.25 dB$	46	43.3	dB (min)
		$f_{IN} = 70 MHz$, $V_{IN} = FS - 0.25 dB$	45		dB
		$f_{IN} = 100 MHz$, $V_{IN} = FS - 0.25 dB$	44		dB
SNR	Signal-to-Noise Ratio	$f_{IN} = 4 MHz$, $V_{IN} = FS - 0.25 dB$	47		dB
		$f_{IN} = 20 MHz$, $V_{IN} = FS - 0.25 dB$	46		dB
		$f_{IN} = 50 MHz$, $V_{IN} = FS - 0.25 dB$	46	43.4	dB (min)
		$f_{IN} = 70 MHz$, $V_{IN} = FS - 0.25 dB$	45		dB
		$f_{IN} = 100 MHz$, $V_{IN} = FS - 0.25 dB$	44		dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 4 MHz$, $V_{IN} = FS - 0.25 dB$	60		dBc
		$f_{IN} = 20 MHz$, $V_{IN} = FS - 0.25 dB$	58		dBc
		$f_{IN} = 50 MHz$, $V_{IN} = FS - 0.25 dB$	60		dBc
		$f_{IN} = 70 MHz$, $V_{IN} = FS - 0.25 dB$	57		dBc
		$f_{IN} = 100 MHz$, $V_{IN} = FS - 0.25 dB$	54		dBc
THD	Total Harmonic Distortion	$f_{IN} = 4 MHz$, $V_{IN} = FS - 0.25 dB$	-60		dBc
		$f_{IN} = 20 MHz$, $V_{IN} = FS - 0.25 dB$	-58		dBc
		$f_{IN} = 50 MHz$, $V_{IN} = FS - 0.25 dB$	-60		dBc
		$f_{IN} = 70 MHz$, $V_{IN} = FS - 0.25 dB$	-56		dBc
		$f_{IN} = 100 MHz$, $V_{IN} = FS - 0.25 dB$	-53		dBc
HD2	2nd Harmonic Distortion	$f_{IN} = 4 MHz$, $V_{IN} = FS - 0.25 dB$	-66		dBc
		$f_{IN} = 20 MHz$, $V_{IN} = FS - 0.25 dB$	-68		dBc
		$f_{IN} = 50 MHz$, $V_{IN} = FS - 0.25 dB$	-66		dBc
		$f_{IN} = 70 MHz$, $V_{IN} = FS - 0.25 dB$	-60		dBc
		$f_{IN} = 100 MHz$, $V_{IN} = FS - 0.25 dB$	-55		dBc
HD3	3rd Harmonic Distortion	$f_{IN} = 4 MHz$, $V_{IN} = FS - 0.25 dB$	-72		dBc
		$f_{IN} = 20 MHz$, $V_{IN} = FS - 0.25 dB$	-58		dBc
		$f_{IN} = 50 MHz$, $V_{IN} = FS - 0.25 dB$	-72		dBc
		$f_{IN} = 70 MHz$, $V_{IN} = FS - 0.25 dB$	-58		dBc
		$f_{IN} = 100 MHz$, $V_{IN} = FS - 0.25 dB$	-60		dBc
IMD	Intermodulation Distortion	$f_1 = 11 MHz$, $V_{IN} = FS - 6.25 dB$ $f_2 = 12 MHz$, $V_{IN} = FS - 6.25 dB$	-55		dBc
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	DC Input	69.75	86	mA (max)
		$f_{IN} = 10 MHz$, $V_{IN} = FS - 3 dB$	69.75		mA

コンバータの電気的特性 (つづき)

特記のない限り、以下の仕様は $V_A = V_{DR} = +3.0V_{DC}$ 、 $V_{RT} = +1.9V$ 、 $V_{RB} = +0.3V$ 、 $C_L = 5pF$ 、50%のデューティ・サイクルにおける $f_{CLK} = 200MHz$ に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他のすべてのリミット値は $T_A = T_J = 25$ に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
POWER SUPPLY CHARACTERISTICS					
I_{DR}	Output Driver Supply Current	DC Input, PD = Low	0.25	0.6	mA (max)
$I_A + I_{DR}$	Total Operating Current	DC Input, PD = Low	70	86.6	mA (max)
		CLK Low, PD = Hi	0.3		mA
PC	Power Consumption	DC Input, Excluding Reference	210	260	mW (max)
		CLK Low, PD = Hi	1		mW
PSRR ₁	Power Supply Rejection Ratio	FSE change with 2.7V to 3.3V change in V_A	54		dB
PSRR ₂	Power Supply Rejection Ratio	SNR reduction with 200 mV at 1MHz on supply	45		dB
AC ELECTRICAL CHARACTERISTICS					
f_{C1}	Maximum Conversion Rate		230	200	MHz (min)
f_{C2}	Minimum Conversion Rate		10		MHz
t_{CL}	Minimum Clock Low Time		0.87	1.0	ns (min)
t_{CH}	Minimum Clock High Time		0.65	0.75	ns (min)
t_{OH}	Output Hold Time, Output Falling (Note 10)	CLK to Data Invalid, $V_A = 3.3V$ to $3.6V$, $t_A = -40^\circ C$ to $+105^\circ C$, $C_L = 8 pF$	2.4	3.3	ns (max)
	Output Hold Time, Output Rising (Note 10)	CLK to Data Invalid, $V_A = 3.3V$ to $3.6V$, $t_A = -40^\circ C$ to $+105^\circ C$, $C_L = 8 pF$	1.9	2.5	ns (max)
t_{OD}	Output Delay, Output Falling (Note 10)	CLK to Data Transition, $V_A = 3.3V$ to $3.6V$, $V_A = -40^\circ C$ to $+105^\circ C$, $C_L = 8 pF$	3.9	2.4	ns (min)
				5.1	ns (max)
	Output Delay, Output Rising (Note 10)	CLK to Data Transition, $V_A = 3.3V$ to $3.6V$, $t_A = -40^\circ C$ to $+105^\circ C$, $C_L = 8 pF$	3.3	2.4	ns (min)
				4.0	ns (max)
t_{SLEW}	Output Slew Rate	Output Falling, $V_A = 3.3V$, $C_L = 8 pF$, $t_A = -40^\circ C$ to $+105^\circ C$	0.73		V/ns
		Output Rising, $V_A = 3.3V$, $C_L = 8 pF$, $t_A = -40^\circ C$ to $+105^\circ C$	0.88		V/ns
	Pipeline Delay (Latency)		6		Clock Cycles
t_{AD}	Sampling (Aperture) Delay	CLK Rise to Acquisition of Data	2.6		ns
t_{AJ}	Aperture Jitter		2		ps rms

Note 1: 「絶対最大定格」とは、IC に破壊が発生する可能性があるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様、試験条件については「電気的特性」を参照してください。保証された仕様は「電気的特性」に記載されている試験条件においてのみ適用されます。デバイスが記載の試験条件下で動作しない場合、いくつかの性能特性が低下することがあります。

Note 2: 特記のない限り、すべての電圧は $GND = AGND = DR GND = 0V$ を基準にして測定されています。

Note 3: いずれかの端子で入力電圧 (V_{IN}) が電源電圧を超えた場合 (すなわち $V_{IN} < AGND$ 、 $DR GND$ または $V_{IN} > V_A$ 、 V_{DR} のとき)、その端子の入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流せる端子数は 2 本に制限されます。

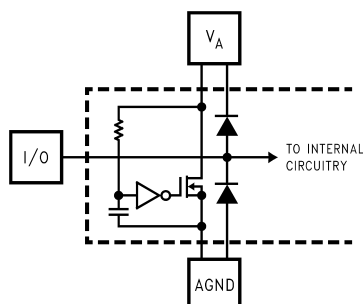
Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度: このデバイスの場合、 T_{Jmax} は 150)、 θ_{JA} (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} = (T_{Jmax} - T_A)/\theta_{JA}$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。ボード実装時におけるこのデバイスの代表的な熱抵抗 θ_{JA} は 24 ピン TSSOP では 92 /W、24 ピン EIAJ-SOIC が 98 /W なので、24 ピン TSSOP の場合 25 での最大許容消費電力は、 $P_{DMAX} = 1358mW$ 、85 の最大動作周囲温度では、435mW になります。通常動作時のこのデバイスの消費電力は代表値で約 245mW (待機時消費電力が 205mW + リファレンス・ラダーでの消費電力が 16mW + 出力バス容量をドライブする際の 24mW になることに注意してください。上記の最大許容消費電力の値にまで上がる場合は、ADC08200 が何らかの異常な状態で動作しているときのみです (例えば、入力端子または出力端子を電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5 kΩ を通して各端子に放電させます。マシン・モデルの場合は、200pF のコンデンサから直接各端子に放電させます。

コンバータの電気的特性 (つづき)

Note 6 その他の表面実装法については、アプリケーション・ノート AN-450 「スモールアウトライン (SO) パッケージ表面実装と製品信頼性上における効果」を参照ください。

Note 7: アナログ入力は、以下に示されるように保護されています。入力電圧が $V_A + 300\text{mV}$ 以下もしくは GND の 300mV 以下の電圧まで振幅する場合にはデバイスが損傷を受けることはありません。しかし、入力電圧が V_{DR} 以上もしくは $\text{GND} - 100\text{mV}$ 以下になる場合には変換結果に誤差が生じる可能性があります。例えば、 $V_A = 2.7V_{\text{DC}}$ の場合、変換精度を確保するには入力電圧は $2.8V_{\text{DC}}$ 以上にする必要があります。



Note 8: 精度を保証するために、 V_A および V_{DR} 電源端子にはそれぞれ別個のバイパス・コンデンサを設けて同一電源に接続します。

Note 9: 代表値 (Typical) は、 $T_J = T_A = +25^\circ\text{C}$ で得られる最も標準的な数値です。テストリミット値はナショナルセミコンダクター社の平均出荷品質レベル AOQL (Average Outgoing Quality Level) に基づき保証されます。

Note 10: これら仕様は設計によって保証されており、テストは行っていない。

Note 11: 出力スレーートの代表値は t_{OD} と t_{OH} が最大値の場合です。

用語の定義

アパーチャ(サンプリグ) デレイ (**APERTURE (SAMPLING) DELAY**) は、クロック入力の立ち上がりエッジからサンプリング・スイッチが開くまでに要する時間です。サンプル / ホールド回路は入力信号の取り込みを効果的に停止させ、クロックが High レベルになってから t_{AD} 後に「ホールド」モードになります。

アパーチャ・ジッタ (**APERTURE JITTER**) は、サンプルとサンプルの間のアパーチャ・デレイのばらつきです。アパーチャ・ジッタは入力ノイズとして現れます。

クロック・デューティ・サイクル (**CLOCK DUTY CYCLE**) は、クロック周期に対してクロック波形が High となっている時間の比です。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY : DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。200MSPS でラング入力に対して測定されます。

有効ビット (**EFFECTIVE NUMBER OF BITS : ENOB**) は、信号 / (ノイズ + 歪み) 比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (**FULL POWER BANDWIDTH**) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

フルスケール誤差 (**FULL-SCALE ERROR**) は、最後のコードの遷移が、理想的な V_{RT} より $1/2\text{LSB}$ 下の点からどのくらい離れているかを示す量で、次の式で定義されています。

$$V_{\max} + 1.5 \text{ LSB} - V_{RT}$$

$V_{\max}$ は最大 (フルスケール) コードへの遷移が発生する電圧です。

積分非直線性 (**INTEGRAL NON-LINEARITY : INL**) は、ゼロスケール (最初のコード遷移の $1/2\text{LSB}$ 下) から正のフルスケール (最後のコード遷移の $1/2\text{LSB}$ 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。エンド・ポイント・テスト法が用いられます。200MSPS でラング入力とともに測定されます。

混変調歪み (**INTERMODULATION DISTORTION: IMD**) は、A/D の入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

ミッシング・コード (**MISSING CODE**) は、あるコード値からその一つ上位のコード値の間が欠け、ADC から出力されない出力コードです。すべての入力レベルで、ミッシング・コードが発生することはありません。

出力デレイ (**OUTPUT DELAY**) は、クロック入力の立ち下がりエッジから出力端子にアップデートされたデータが現れるまでの遅延時間。

出力ホールド時間 (**OUTPUT HOLD TIME**) は、クロック入力の立ち下がりエッジから出力データの読み出しが有効な期間を示します。

パイプライン・デレイ (**PIPELINE DELAY : LATENCY**) は、変換開始からその変換データが出力ドライバ段に現れるまでの期間をクロック数で表したものです。新しいデータは各クロック・サイクルごとに有効になりますが、パイプライン・デレイと出力デレイの和による変換により遅延が規定されます。

電源電圧除去比 (**POWER SUPPLY REJECTION RATIO : PSRR**) とは、A/D コンバータが電源電圧の変動をどの程度吸収できるかを示した指標です。ADC08200 で PSRR1 は、電源電圧の DC 変動に対するフルスケール誤差の変化の割合を、dB を単位として示した値です。PSRR2 は、電源電圧に重畳している交流成分を出力に対してどの程度除去できるかを示した指標であり、ここでは次のように定義されます。

$$\text{PSRR2} = 20 \log \left(4 \sqrt{10^{\frac{-\text{SNR1}}{10}} - 10^{\frac{-\text{SNR0}}{10}}} \right)$$

SNR0 はノイズまたは交流信号が重畳していない電源を用いて測定した SNR、SNR1 は 1MHz、200mVp-p の信号を重畳させた電源を用いて測定した SNR です。

信号 / (ノイズ + 歪み) 比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO : S/(N + D) or SINAD**) は、クロック信号の $1/2$ 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の出力での実効値の比として dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE : SFDR**) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現れる任意のスプリアス信号であり、入力に現れるものではありません。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、2 次から 10 次までの高調波の合計出力レベルと基本周波数の出力レベルとの比で、dB で表されます。全高調波歪み THD は次式から求められます。

$$\text{THD} = 20 \times \log \sqrt{\frac{A_{f2}^2 + \dots + A_{f10}^2}{A_{f1}^2}}$$

A_{f1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f2} から A_{f10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

ゼロスケール・オフセット誤差 (**ZERO SCALE OFFSET ERROR**) とは、最初の出力コード遷移を生じさせるために必要となる理論入力電圧 $1/2\text{LSB}$ と実際の入力電圧との差で、次式で定義されます。

$$V_{\text{OFF}} = V_{\text{ZT}} - V_{\text{RB}}$$

V_{ZT} は、出力に最初のコード遷移を生じさせる実際の入力電圧です。

タイミング図

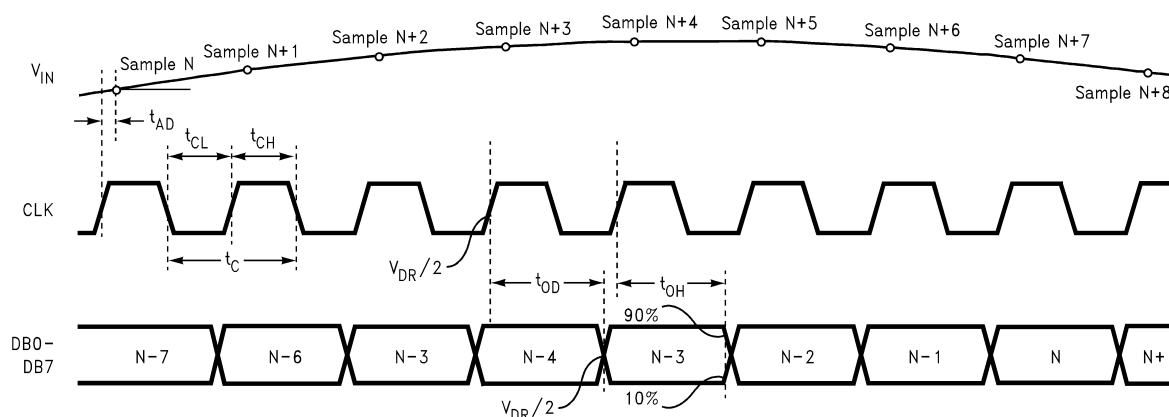
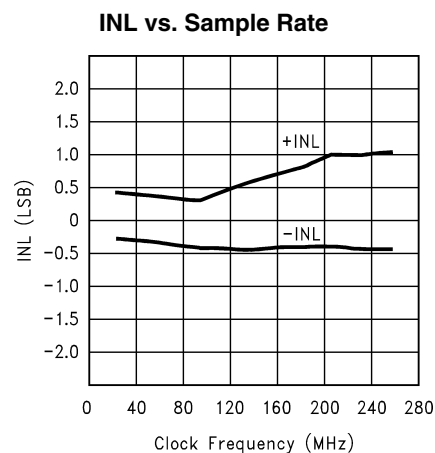
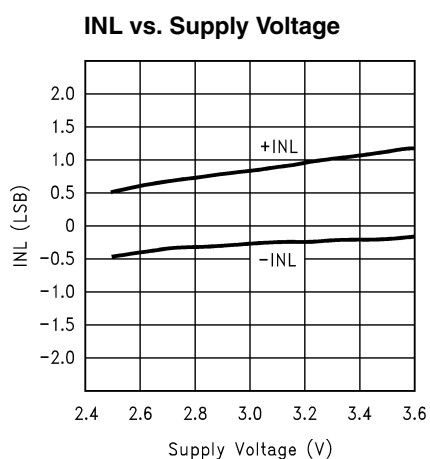
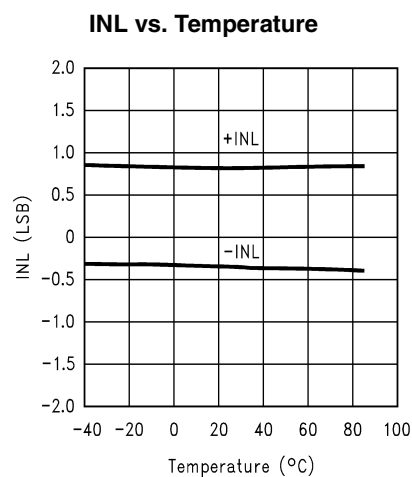
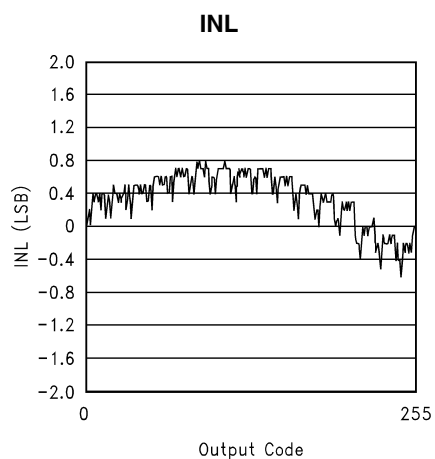
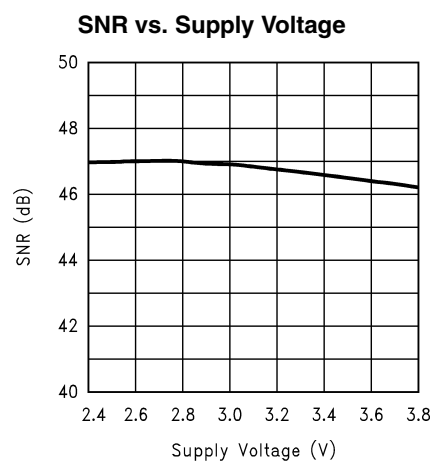
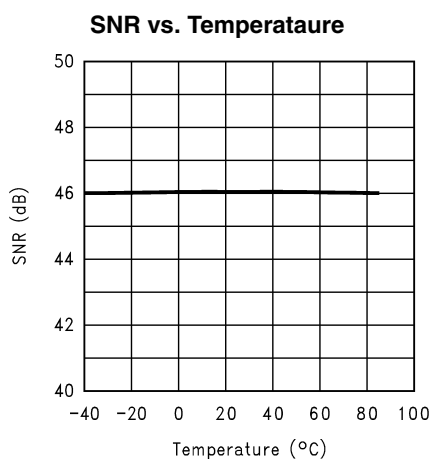
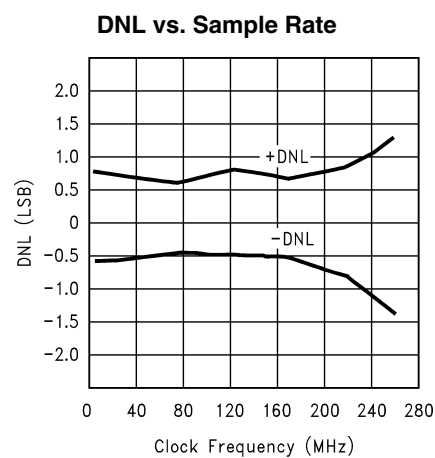
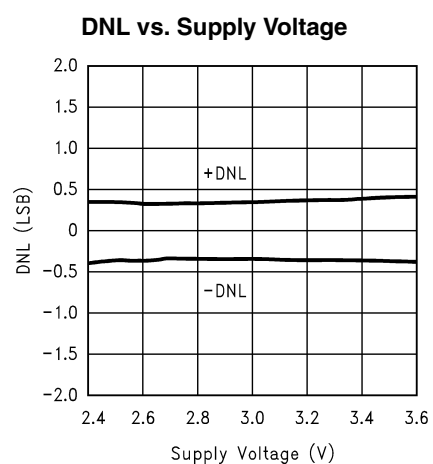
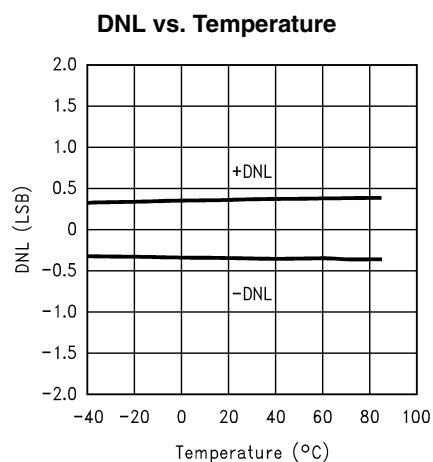
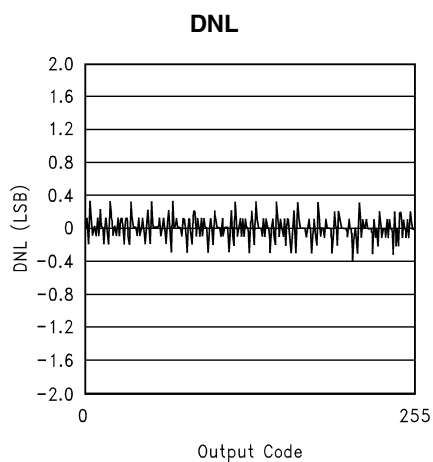


FIGURE 1. ADC08200 Timing Diagram

代表的な性能特性 特記のない限り、 $V_A = V_{DR} = 3V$ 、 $f_{CLK} = 200MHz$ 、 $f_{IN} = 50MHz$ の条件でのグラフを示す。

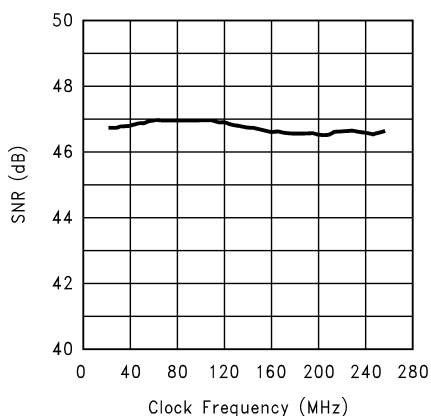


代表的な性能特性 特記のない限り、 $V_A = V_{DR} = 3V$ 、 $f_{CLK} = 200MHz$ 、 $f_{IN} = 50MHz$ の条件でのグラフを示す。(つづき)

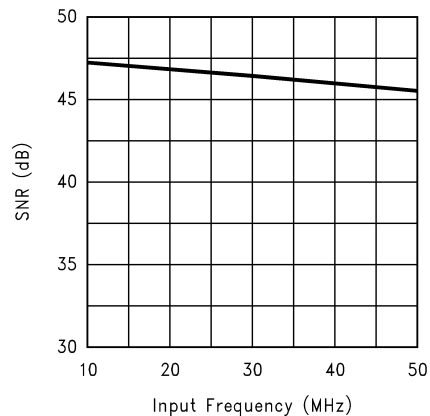


代表的な性能特性 特記のない限り、 $V_A = V_{DR} = 3V$ 、 $f_{CLK} = 200MHz$ 、 $f_{IN} = 50MHz$ の条件でのグラフを示す。(つづき)

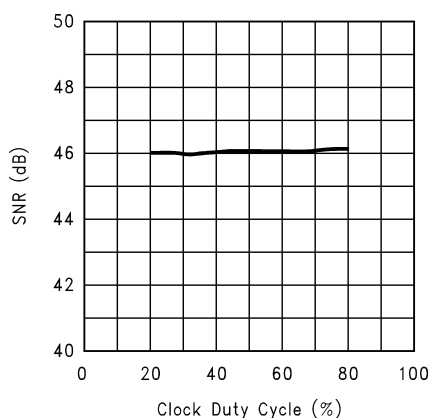
SNR vs. Sample Rate



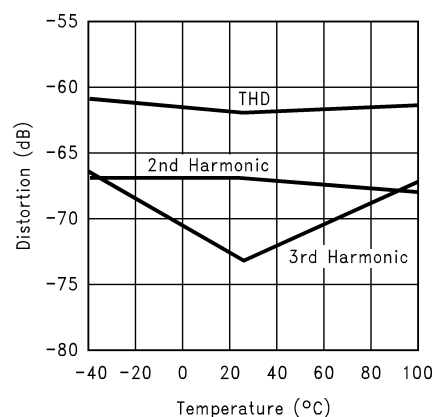
SNR vs. Input Frequency



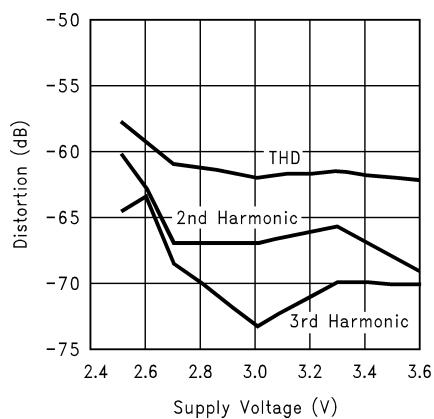
SNR vs. Clock Duty Cycle



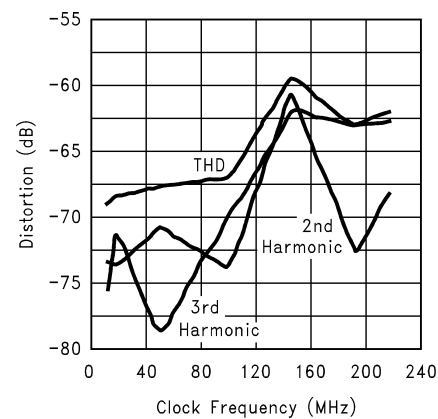
Distortion vs. Temperature



Distortion vs. Supply Voltage

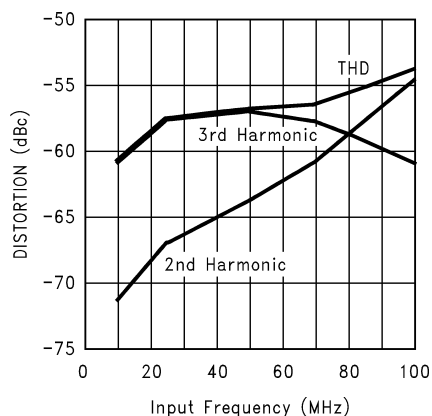


Distortion vs. Sample Rate

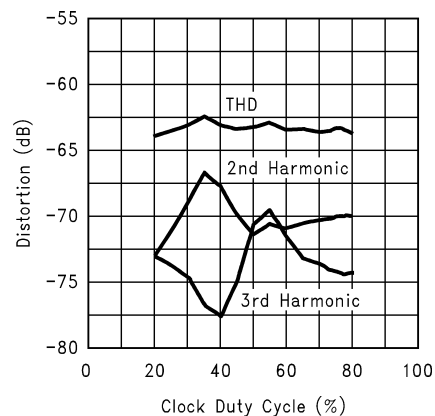


代表的な性能特性 特記のない限り、 $V_A = V_{DR} = 3V$ 、 $f_{CLK} = 200MHz$ 、 $f_{IN} = 50MHz$ の条件でのグラフを示す。(つづき)

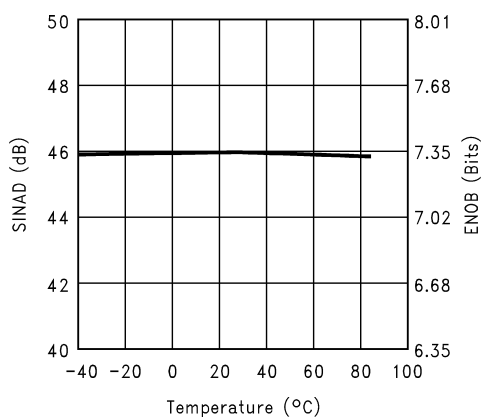
Distortion vs. Input Frequency



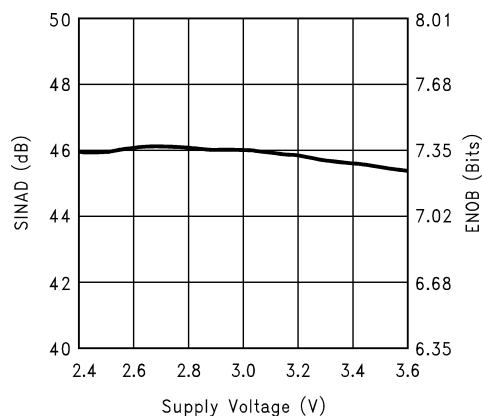
Distortion vs. Clock Duty Cycle



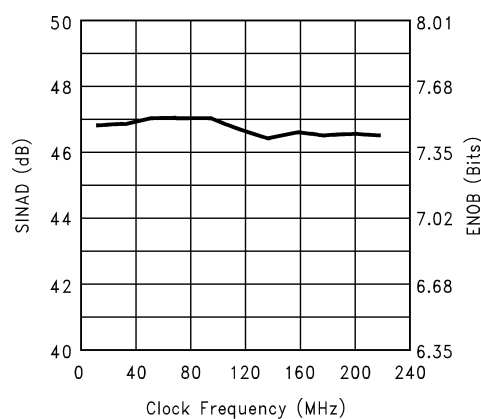
SINAD/ENOB vs. Temperature



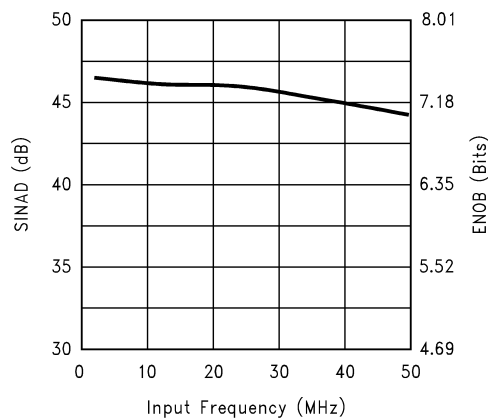
SINAD/ENOB vs. Supply Voltage



SINAD/ENOB vs. Sample Rate

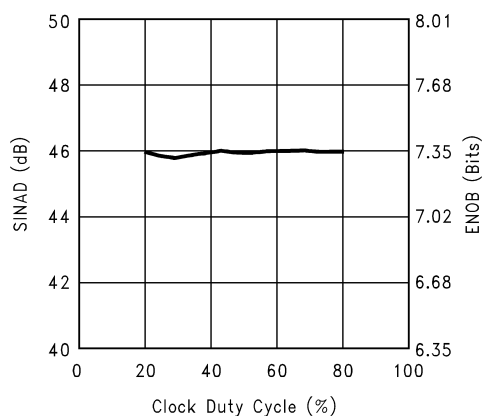


SINAD/ENOB vs. Input Frequency

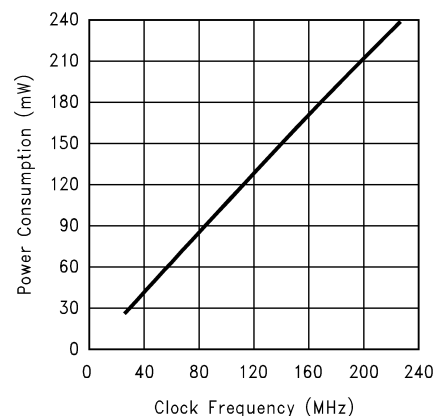


代表的な性能特性 特記のない限り、 $V_A = V_{DR} = 3V$ 、 $f_{CLK} = 200MHz$ 、 $f_{IN} = 50MHz$ の条件でのグラフを示す。(つづき)

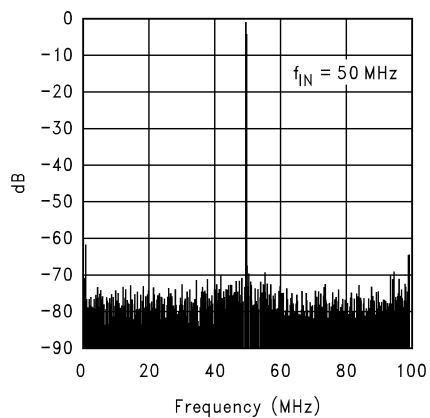
SINAD/ENOB vs. Clock Duty Cycle



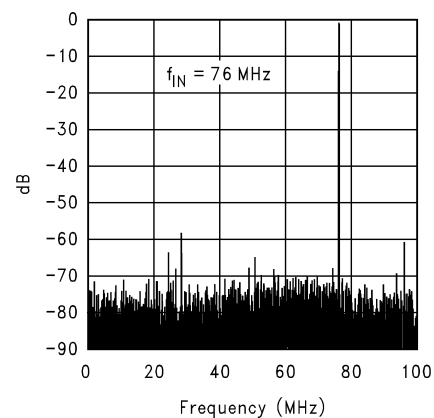
Power Consumption vs. Sample Rate



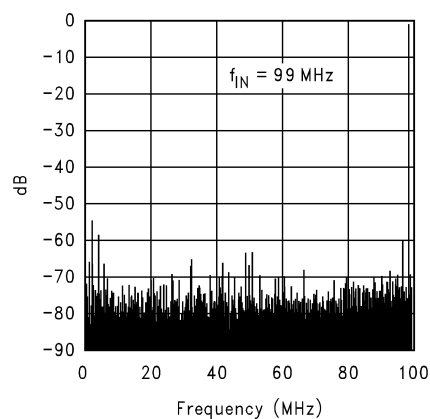
Spectral Response @ $f_{IN} = 50$ MHz



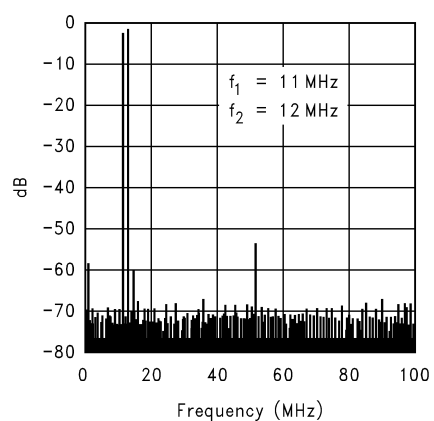
Spectral Response @ $f_{IN} = 76$ MHz



Spectral Response @ $f_{IN} = 99$ MHz



Intermodulation Distortion



機能説明

ADC08200 は、新しい独自のアーキテクチャを採用して、100MHz およびそれ以上の入力周波数で7ビット以上の有効ビットを実現しています。

アナログ入力信号は、 V_{RT} と V_{RB} で設定される電圧範囲内で 8 ビットの 2 値コードにデジタル化されます。 V_{RB} 以下の入力電圧は、すべてが 0 からなる出力コードに変換されます。 V_{RT} 以上の入力電圧は、すべてが 1 からなる出力コードに変換されます。

スイッチト・キャパシタ・バンドギャップを内蔵しているため、ADC08200 の消費電力はサンプリング周波数に比例する特性を示し、そのためサンプリング周波数によって消費電力の上限が決まります。この性質と、幅広いサンプリング周波数範囲に対する優れた性能によって、8 ビット入力のシングル・チップ A/D コンバータとして理想的な選択肢を提供します。

データはクロックの立ち上がりエッジで取り込まれ、このデータに対応するデジタル値は 6 クロック・サイクル + t_{OD} 後にデジタル出力端子で有効になります。ADC08200 は、クロックが入力される限り変換をします。出力コーディングはストレート・バイナリです。パワーダウン端子 (PD) が Low のときは、このデバイスはアクティブ状態

です。PD 端子が High になると、このデバイスはパワーダウン・モードになります。このモードのときには、出力端子は PD 端子が High になったときの変換結果を保持し、消費電力は 1.4mW に抑えられます。クロック入力を Low に保持すればパワーダウン・モードの消費電力はおよそ 1mW に下がります。

アプリケーション情報

1.0 リファレンス入力

リファレンス入力 V_{RT} および V_{RB} は、リファレンス・ラダーのトップとボトムです。これらの 2 端子間の電圧範囲の入力信号が 8 ビットのコードにデジタル化されます。これらのリファレンス入力端子に外部電圧を印加する場合には、動作定格で規定されている範囲内 (V_{RT} は 0.5V ~ ($V_A - 0.3V$)、 V_{RB} は -100mV ~ ($V_{RT} - 0.5V$) の範囲) に抑えてください。このとき使われるデバイスは、 V_{RT} へのソース電流および V_{RB} からのシンク電流を十分にドライブできるものを選択してください。

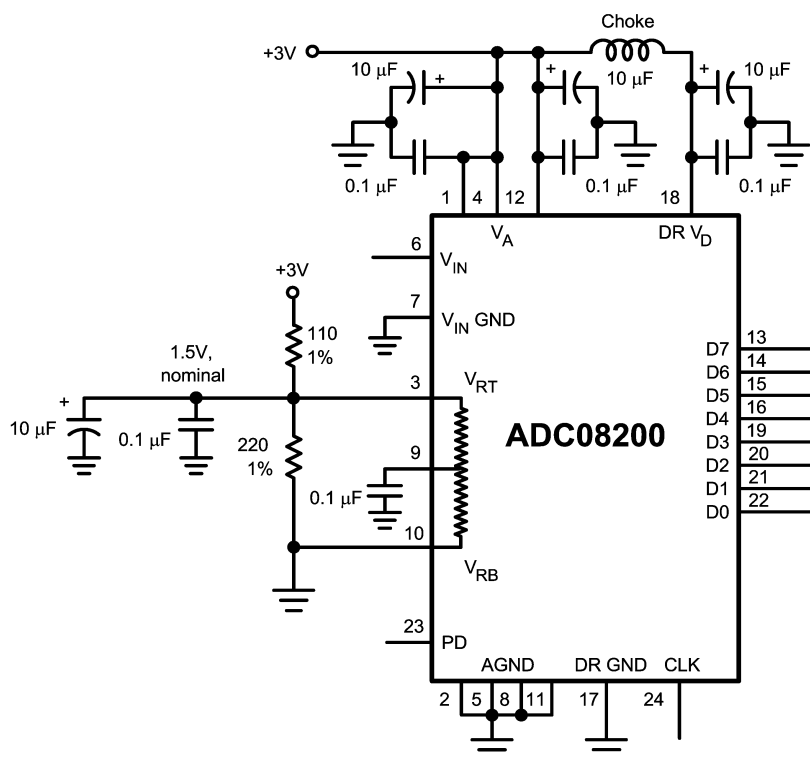


FIGURE 2. Simple, low component count reference biasing. Because of the ladder and external resistor tolerances, the reference voltage of this circuit can vary too much for some applications.

Figure 2 のリファレンス・バイアス回路は、非常に単純でさまざまなアプリケーションで優れた性能を実現します。ただし、回路の許容範囲を大きくすると基準電圧範囲も幅広くなります。低インピーダンス・ソースでそれぞれのリファレンス端子をドライブすると、より安定した基準電圧を実現できます。

Figure 3 の回路により、基準電圧をさらに正確に設定できます。下側のアンプは、その出力電圧を負にして V_{RB} を強制的に PNP トランジスタの V_{BE} より下の電圧にしなければならないため、バイポーラ電源にする必要があります。もちろん、このアンプの入力にある分圧抵抗器は使用する基準電圧に合わせて変えたり、この分圧抵抗器を可変抵抗器と置き換えて正確な設定ができるようになります。このラダーの下部 (V_{RB}) は、入力信号の最小の変化

が 0V の場合は直接グラウンドに接続できます。ドライブ用電源としては、 V_{RT} ピンに十分な電流を流し込んだり、 V_{RB} ピンから十分な電流を引き出してこれらのピンの電圧を安定できるものを使用してください。

この回路では、低オフセット、低コストのアンプとして LMC662 を選びました。

ノイズを最小限に抑えるため、 V_{RT} は必ず V_{RB} より 0.5V 以上高く設定してください。

V_{RM} 端子はリファレンス・ラダーの中心にあるため、0.1µF のコンデンサで、アナログ・グラウンド・プレーンのノイズの少ない点にバイパスしてください。この端子は開放のままで使用しないでください。

アプリケーション情報 (つづき)

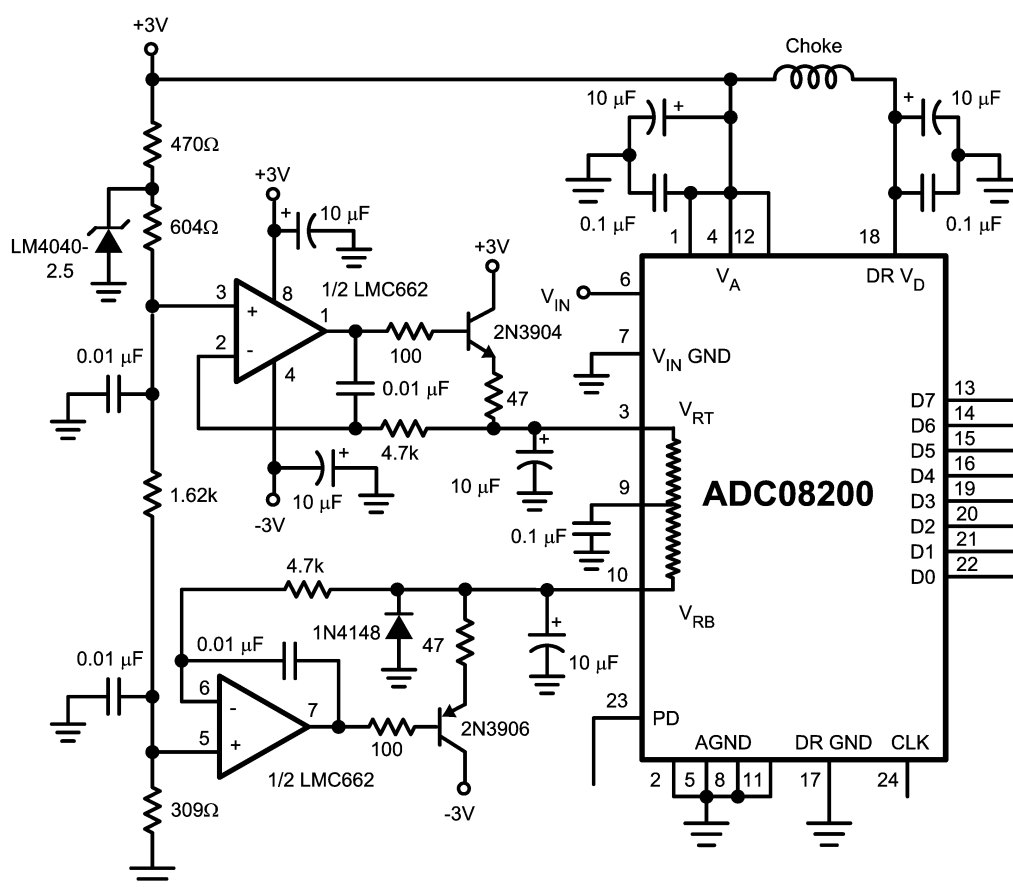


FIGURE 3. Driving the reference to force desired values requires driving with a low impedance source.

2.0 アナログ入力

ADC08200 のアナログ入力回路は、積分器に続くスイッチになっています。入力容量は、クロックのレベルに応じて変わり、クロックが Low の場合には 3pF になり、クロックが High の場合には 4pF になります。一般的に、ダイナミック・キャパシタンスは、一定値のキャパシタンスをドライブするよりも困難なので、このタイプのキャパシタンスをドライブするのが可能なオペアンプを選択する必要があります。

Figure 4 に、LMH6702 を使用した入力回路の例を示します。入力回路のアンプは、オペアンプがユニティ・ゲインの 2 倍または 3 倍のゲインにより優れた位相マージンと過渡応答特性を持っているため、ある程度のゲインを持つ必要があります。総ゲインを 3 未満にする必要がある場合は、Figure 4 に示すように、入力を減衰し、またこのアンプをより高いゲインで動作させてください。

アンプ出力の RC は、入力サンプリング回路に起因してアナログ入力から発生するクロック・レート・エネルギー (キックバック・ノイズ) を除去するフィルタ回路です。この回路の最適な時定数は、アンプと A/D コンバータだけでなく、回路のレイアウトや基板の材質 (基板の配線抵抗) によって決まります。この抵抗値は 18 ~ 47Ω の間とし、コンデンサの容量は次の式で求めてください。

$$C = \frac{1}{2 \cdot \pi \cdot R \cdot f_{CLK}}$$

これにより最適な SNR 性能が決まります。コンデンサの容量と抵抗値を両方とも 0 にすると、THD 性能が最大限に高められます。SINAD を最適化するためには、SINAD 性能が最適になるまで (すなわち、SNR = - THD になるまで) コンデンサの容量を減らします。通常、この値は上記の式における計算値の 20% ~ 65% の範囲内になります。基板の材質とレイアウトに左右されるため、正確な計算はできません。

Figure 4 の回路例では、ゲイン調整とオフセット調整の両方の機能を備えています。これらの調整機能を削除した場合、デバイス・マージンに対する綿密な検討の実施と入力信号範囲がワースト・ケースでも正しく限度内に納まるようにするのが不可欠であり、さもないと通常動作で回路マージンが不足し、信号波形のクリッピングを生じる可能性があります。

アプリケーション情報 (つづき)

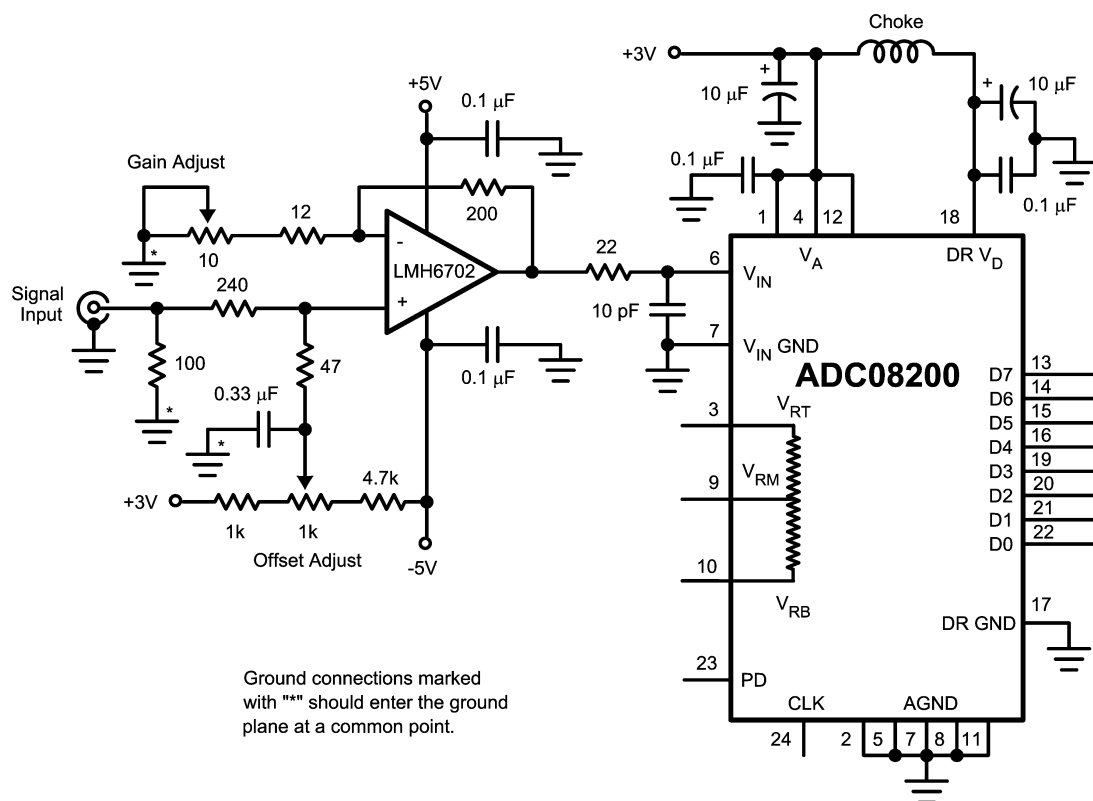


FIGURE 4. The input amplifier should incorporate some gain for best performance (see text).

3.0 電源構成の考慮事項

A/D コンバータは、適切にバイパスされていないとデバイス自身の電源により性能を劣化させるような非常に大きなトランジェント電流が流れます。A/D コンバータの電源端子から 1cm 以内に配置された 0.1μF のセラミック・コンデンサとともに、10μF のタンタル・コンデンサもしくはアルミウム電解コンデンサを A/D コンバータの電源端子から 1 インチ (約 2.5 センチ) 以内に配置してください。リードレス・チップ・コンデンサは低リード・インダクタンスなので、望ましい選択です。

ADC08200 の V_A および V_{DR} には単一の電源から供給することを推奨します。一方これらの電源端子は、いかなるデジタル・ノイズも ADC のアナログ部にカップリングされないようにそれぞれの端子を十分にアイソレートしてください。これらの電源線の間にチョークまたは 27Ω の抵抗を入れ、十分な大きさのバイパス・コンデンサを電源ピンの近くに配置することを推奨します。

すべての高速コンバータと同様に、ADC08200 は電源除去がほとんどないと考えてください。ADC08200 用の電源はいずれも、デジタル消費電力の大きなシステムで他のデジタル回路に使用される電源を使えません。ADC 用の電源は、他のアナログ回路に使用されているものと同じにしてください。

いかなる端子も、トランジェントによる変動時であっても、電源電圧以上やグラウンドから 300mV 以下になる電圧が印加されないようにしてください。これは回路に供給する電源とパワー・シャットダウンのアプリケーションに依存する問題です。すべてのアナログおよびデジタル入力が ADC08200 の電源端子の電圧が立ち上がるよりも速く立ち上がらない回路に設計されているかを確認してください。

4.0 デジタル入力端子

ADC08200 には、PD 端子とクロック端子の 2 本のデジタル入力端子があります。

4.1 PD 端子

パワーダウン (PD) 端子を High にすると ADC08200 は低電力モードに移行し、消費電力はクロックを与えている場合はおよそ 1.4mW に、またクロックを Low に保持すればおよそ 1mW に低下します。PD 端子を Low に戻すと、出力データ端子はおよそ 1μs 後に有効かつ正確な値を出力します。

デジタル出力端子は、クロックが停止するか PD 端子が High になったときの変換出力コードを保持します。

4.2 ADC08200 クロック

ADC08200 は試験済みで、性能は 200MHz のクロックで保証されていますが、実力的に、10MHz ~ 230MHz (代表値) のクロック周波数で正常に機能します。

一般に A/D コンバータの性能は、クロックの Low 時間および High 時間に影響されます。しかし正確なデューティ・サイクルを維持するのは難しいため、ADC08200 では広い範囲のデューティ・サイクルに対して性能を発揮するように設計されています。デューティ比 50% の場合に 200Mpsps が規定され、性能も保証されていますが、200MHz クロックではクロックの High 時間もしくは Low 時間が 0.65ns と 0.87ns、すなわちデューティ比が 13% から 82.5% の範囲であれば ADC08200 の性能は保たれます。ただし、最小の Low 時間と High 時間を同時に与えてはなりません。

アプリケーション情報 (つづき)

クロック信号の線路長が次式より長い場合は、**CLOCK** 信号には、クロック源の近くに線路インピーダンスに等しいダンピング抵抗を直列に挿入する必要があります。

$$\frac{t_r}{6 \times t_{prop}}$$

なお上式で t_r はクロック信号の立ち上がり時間、 t_{prop} は配線の伝搬遅延時間です。 t_{prop} の代表値は、FR-4 を使用した基板でおよそ 150ps/inch (59ps/cm) です。

クロック源が ADC08200 以外のデバイスも駆動する場合、線路インピーダンスに等しい抵抗とグラウンド間に接続した次式の容量のコンデンサで RC 回路を構成し、**CLOCK** 端子を AC 的に終端してください。

$$C \geq \frac{4 \times t_{prop} \times L}{Z_0}$$

t_{PD} はクロック配線の信号伝搬遅延時間、"L" は配線長、" Z_0 " はクロック配線の特性インピーダンスです。この RC 終端はクロック源の近くではなく、ADC08200 のクロック端子から 1cm 以内に配置してください。さらにこの終端回路は、クロック源から見て ADC08200 の **CLOCK** 端子より遠くに配置してください。 t_{prop} の代表値は、FR-4 を使用した基板でおよそ 150ps/inch です。これを代入すると FR-4 基板における C の値は次のようになります。

$$C \geq \frac{6 \times 10^{-10} \times L}{Z_0}$$

"L" はインチを単位とするクロック配線の配線長です。

この RC 終端はクロック源の近くではなく、ADC08200 のクロック端子から 1cm 以内に配置してください。

5.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。アナログとデジタルを結合したグラウンド・プレーンを使用してください。

デジタル・スイッチング・トランジェント (デジタル回路の瞬時的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはあまり影響がありません。これは、薄膜効果によるためです。グラウンド・プレーンの量は総表面積の方がより重要です。一般にノイズが多いデジタル回路部分とノイズに高感度なアナログ回路部分をコンデンサでカップリングすると性能低下を招くことになり、両回路の分離とノイズ対策が困難となります。解決策はアナログ回路部分をデジタル回路部分から分離させることです。

DR GND 端子からグラウンド層への接続に、他のグラウンド接続が使用しているピアを共有してはなりません。

消費電力の大きなデジタル部品は、電源部分と A/D コンバータまたはアナログ部品を結ぶ直線上またはその近くに配置しないでください。デジタル回路からのリターン電流経路が A/D コンバータのアナログ入力にグラウンド・リターンに対して変動を生じさせてしまうからです。

しかし、ビデオ (高周波) システムでは、アナログ信号ラインとデジタル信号ラインの互いが交差する配線は避けなければなりません。クロック・ラインは、アナログ信号ラインやデジタル信号ラインなどすべてのその他のラインからアイソレートしてください。一般的

に受け入れられている 90° でアナログ / デジタル信号ラインを互いに交差させる方法でさえ、高周波でのちょっとしたカップリングによって問題が起こる可能性があるのを避けるべきです。高周波で最大限の性能は、まっすぐな信号経路に配線して得られます。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にアイソレートしてください。コンバータの入力とアナログ・グラウンドの間に接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の十分にクリーンな点に接続してください。

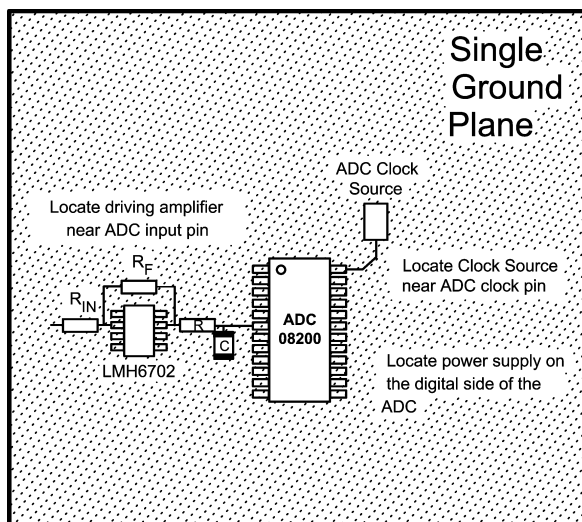


FIGURE 5. Layout Example

Figure 5 は、適切なレイアウト例です。すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) は、デジタル部品から離して配置してください。

6.0 ダイナミック特性

ADC08200 は AC テストされており、ダイナミック特性が保証されています。規定されている特性値を満足するために、CLK 入力をドライブするクロック信号源は 2ps(rms) 以下のジッタでなければなりません。最高の AC 特性を得るために、Figure 6 に示されるような適当なバッファを用いてクロック・ツリーを構成し、A/D のクロック信号をその他のデジタル回路からアイソレートしなければなりません。

A/D クロック・ラインをできる限り短くかつその他の任意の信号から十分に離して置くことは、良い手段です。その他の信号は、クロック信号にジッタを招く可能性があります。クロック信号はまた、アナログ経路にノイズを招く可能性があります。

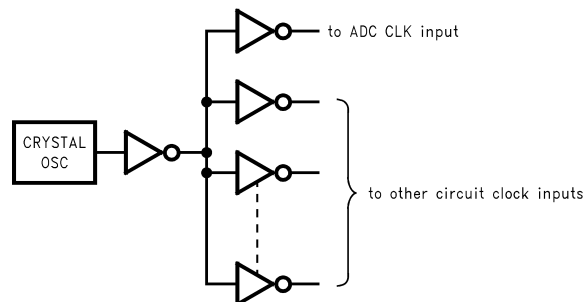


FIGURE 6. Isolating the ADC Clock from Digital Circuitry

アプリケーション情報 (つづき)

7.0 アプリケーション共通の注意事項

電源範囲をこえてアナログもしくはデジタル入力をドライブしないこと

適当な動作を行うために、すべての入力は、グラウンド端子より 300mV 以下または、電源端子より 300mV 以上にならないようにしてください。トランジエントによる場合でもこれらのリミット値を超えると、システムにとって良くない状態や誤差を招く可能性があります。グラウンド以下に 1V 以上もアンダーシュートを起こす高速デジタル回路 (例えば、74F や 74AC などのファミリ・デバイス) は、一般的ではありません。A/D コンバータのデジタル入力に 51Ω の直列抵抗を挿入すると、通常はこの問題を取り除けます。

ADC08200 の入力をオーバー・ドライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと

各変換ごとに充電すべきデジタル出力ドライバ回路の容量性負荷が大きくなればなるほど、 V_{DR} や DR GND からのより大きな瞬間的なデジタル電流が必要となります。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。データ・バスの容量が 5pF を超える場合には、デジタル・データ出力を (例えば、74AF541 で) バッファリングが必要になります。また、各デジタル出力に $47\Omega \sim 56\Omega$ の直

列抵抗を加えると、コンバータの出力に戻ってくるカップリング信号のエネルギーを低減し、ダイナミック特性を改善できます。

不適当なアンプを使ってアナログ入力をドライブしないこと

2.0 章に説明されているように、アナログ入力は、等価的にクロック・レベルに応じて 3pF ~ 4pF の間で変化するキャパシタンス (コンデンサ) に見えます。このダイナミック・キャパシタンスは、一定のキャパシタンスをドライブするより先困難で、ドライブするデバイスの選択を考慮する必要があります。

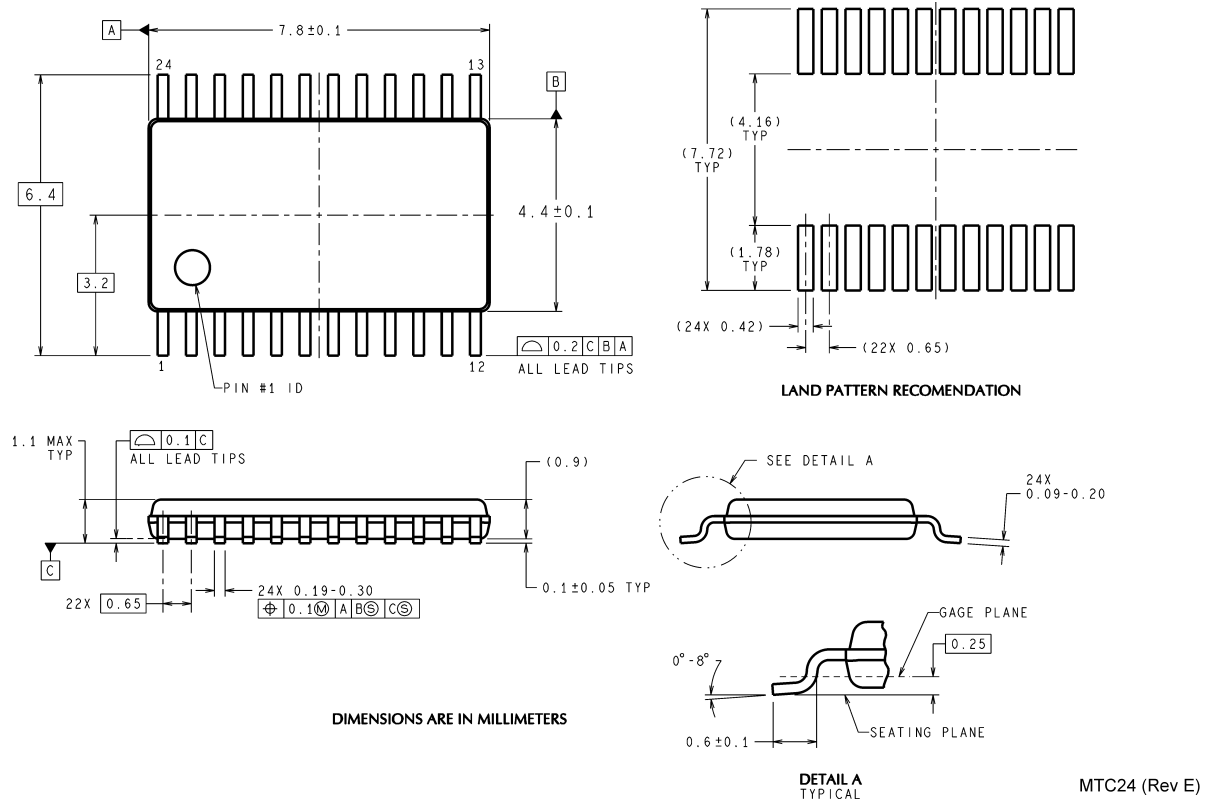
リファレンス・ラダー回路に必要な電流のソースおよびシンクができないデバイスで V_{RT} または V_{RB} をドライブしないこと

1.0 章で述べたように、 V_{RT} 端子へのソース電流および V_{RB} 端子からのシンク電流を十分にドライブできるデバイスであることを確認しなければなりません。これらの端子が、必要な電流を制御できるデバイスでドライブしない場合には、これらのリファレンス端子は安定せず、結果としてダイナミック特性の劣化を招きます。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変化し、過度の出力ノイズが発生し、かつ SN 比の劣化を招きます。RC によるタイミング回路を用いた単純なゲート回路は、一般的にクロック信号源としては適切ではありません。

外形寸法図 単位は millimeters



24-Lead Package TC
Order Number ADC08200CIMT
NS Package Number MTC24

NOTES: 特記のない限り

1993 年 7 月現在、JEDEC 登録 mo-153、VARIATION AD を参照。

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16

TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

その他のお問い合わせはフリーダイヤルをご利用ください。

www.national.com/jpn/

フリーダイヤル 0120-666-116